

METHOD FOR FLIP-CHIP ASSEMBLY OF SEMICONDUCTOR DEVICE USING ADHESIVE

Publication number: JP2001298052

Publication date: 2001-10-26

Inventor: VANFLETEREN JAN; STOUKACH SERGEI;
VANDECASTEELE BJORN

Applicant: IMEC INTER UNI MICRO ELECTR

Classification:



- international: **H01R43/20; H01L21/56; H01L21/60; H05K3/32;
H05K3/34; H01R43/20; H01L21/02; H05K3/32;
H05K3/34; (IPC1-7): H01L21/60; H01L21/56;
H01R43/20; H05K3/32; H05K3/34**

- European: **H01L21/56F; H01L21/60C4; H01L21/60D**

Application number: JP20010034244 20010209

Priority number(s): US20000181402P 20000209

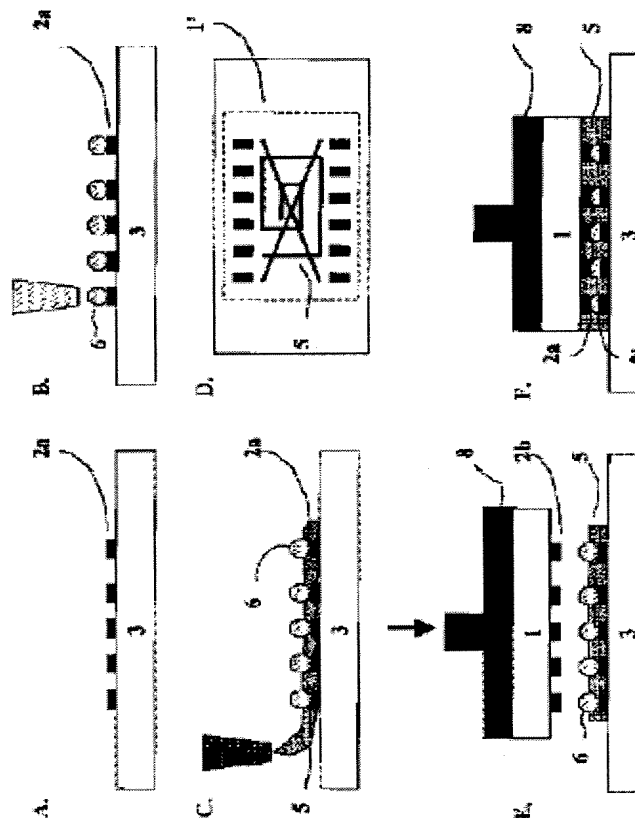
Also published as:

 EP1126517 (A)
 EP1126517 (A)

Report a data error he

Abstract of JP2001298052

PROBLEM TO BE SOLVED: To provide a flip-chip-on-board(FCOB) assembly technology applicable to mounting a large chip with a large number of I/Os or small pitch, mounted on a low-cost or low-grade substrate. **SOLUTION:** The assembly technology uses both an isotropically conductive adhesive(ICA) and a non-conductive material(NCA) in the same assembly cycle. The thermocompression step establishes at the same time the electrical and mechanical interconnection and the curing of the adhesives.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-298052

(P2001-298052A)

(43) 公開日 平成13年10月26日 (2001.10.26)

(51) Int.Cl. ⁷	識別記号	F I	ターミナル* (参考)
H 0 1 L 21/60	3 1 1	H 0 1 L 21/60	3 1 1 S
21/56		21/56	R
H 0 1 R 43/20		H 0 1 R 43/20	Z
H 0 5 K 3/32		H 0 5 K 3/32	B
3/34	5 0 7	3/34	5 0 7 C

審査請求 未請求 請求項の数17 O L 外国語出願 (全 50 頁)

(21) 出願番号 特願2001-34244 (P2001-34244)

(22) 出願日 平成13年2月9日 (2001.2.9)

(31) 優先権主張番号 60/181402

(32) 優先日 平成12年2月9日 (2000.2.9)

(33) 優先権主張国 米国 (US)

(71) 出願人 591060898

アンテルユニヴェルシテール・マイクロエレクトロニカ・サントリウム・ヴェー・ゼッド・ドゥブルヴェ

INTERUNIVERSITAIRE MICRO-ELECTRONICA CENTRUM VZW

ベルギー、ベールー3001ルーヴァン、カペルドリーフ75番

(74) 代理人 100062144

弁理士 青山 葆 (外1名)

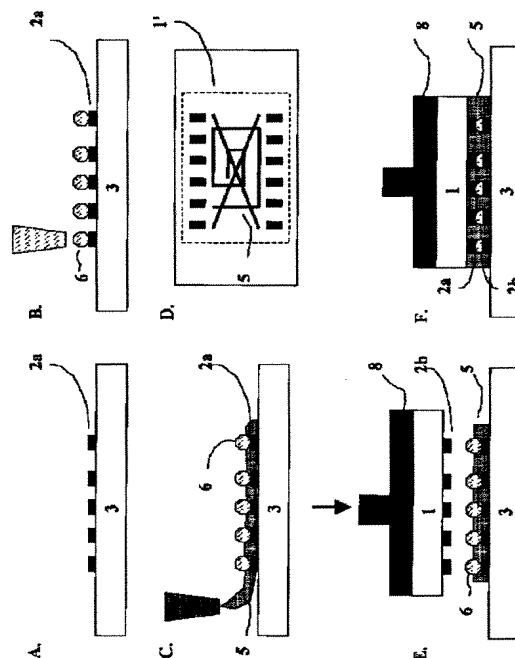
最終頁に続く

(54) 【発明の名称】 接着剤を用いた半導体素子のフリップチップアセンブリ方法

(57) 【要約】

【課題】 低価格または低質の基板上に実装された、I/O数が多く、ピッチの小さい大きなチップの実装に適用できるフリップチップオンボード (FCOB) アセンブリ技術を提供する。

【解決手段】 同じアセンブリサイクルにおいて、等方性導電接着剤 (ICA) と非導電性材料 (NCA) の両方を使用するアセンブリ技術を提供する。熱圧縮ステップは、電気的および機械的相互接続と接着剤の硬化とを同時に確立する。



【特許請求の範囲】

【請求項1】 少なくとも1の基板(3)と少なくとも1の部品(1)とからなり、かつ、前記の部品(1)は前記の基板(3)に接合されて、前記の基板(3)と電氣的に接触する装置を製造する処理であって、ボンディングパッドまたはコンタクトパッド(2a)とよばれる複数の金属領域を、その表面上に備える基板(3)を提供するステップと、ボンディングパッドまたはコンタクトパッド(2b)ともよばれる、ピンまたはバンプのような複数の金属領域を含み、前記部品上の前記ボンディングパッド(2b)は、前記基板(3)上の前記ボンディングパッド(2a)の少なくとも1つの集合に対応する部品(1)を提供するステップと、前記基板(3)の前記ボンディングパッド(2a)、または、前記部品の前記ボンディングパッド(2b)に、等方性導電接着剤、すなわち、ICA(6)を提供するステップと、前記の等方性導電接着剤(6)を乾燥させる乾燥ステップと、前記基板の前記ボンディングパッド(2a)間に位置された領域上にあらかじめ決められたパターンでアンダーフィル材料(5)を適用するステップと、前記部品の前記ボンディングパッド(2b)が、前記基板のボンディングパッド(2a)の集合の真上にあるように、前記の部品(1)を位置決めする位置決めステップと、あらかじめ決められた距離が前記の部品(1)と前記の基板(3)との間に到達されるまで、前記の部品に機械的圧力を作用させ、それにより、前記部品および前記基板の対応するボンディングパッド(2a、2b)が両方とも前記の等方性導電接着剤(6)と接触する機械的圧力作用ステップと、前記の機械的圧力と前記のあらかじめ決められた距離とを維持する一方、前記の等方性導電接着剤(6)と非導電性接着剤(5)を硬化させるために熱圧縮ステップとも呼ばれる硬化ステップを実行し、それにより、前記の部品(1)と前記の基板(3)との間に電氣的接触を形成するステップとからなることを特徴とする処理。

【請求項2】 前記の基板(3)の材料が、FR4、FR5、ガラスエポキシ樹脂材料、セラミック材料、ポリイミド、ポリエステル、アルミナベース材料、および、プラスチック材料からなるグループから選択される請求項1に記載の処理。

【請求項3】 前記の部品が、パッケージされた半導体チップ、パッケージされていない半導体チップ、むきだしの半導体ダイ、および、非半導体材料から作られた部品からなるグループから選択される請求項2に記載の処理。

【請求項4】 前記の等方性導電接着剤が、少なくとも

80重量パーセントの銀フレークを含む非導電性エポキシ樹脂である請求項3に記載の処理。

【請求項5】 前記のアンダーフィル材料が、非導電性接着剤(NCA)である請求項4に記載の処理。

【請求項6】 前記の非導電性接着剤が、非導電性エポキシ樹脂である請求項5に記載の処理。

【請求項7】 前記の乾燥ステップが、オープンで、等方性導電接着剤とアンダーフィル材料の両方の硬化温度よりも低い温度で実行される請求項6に記載の処理。

【請求項8】 前記の乾燥ステップが、最大110℃の温度で実行される請求項7に記載の処理。

【請求項9】 前記の硬化ステップが、最大130℃の硬化温度で実行される請求項8に記載の処理。

【請求項10】 前記の位置決めステップと機械的圧力作用ステップが第1のツールで実行され、前記の基板(3)と前記の部品(1)とによって形成されるアセンブリを前記第1のツールから第2のツールまで移動させた後、同時に起こる加圧ステップと硬化ステップが、第2のツールで実行される請求項9に記載の処理。

【請求項11】 前記の熱圧縮ステップが、前記の部品(1)に均一な機械的圧力を働かせるために適当な大きさや形状とを有し、かつ、前記の部品と前記の部品に接触した前記の基板とに硬化温度をもたらすために熱源を含むサーモド(8)を用いて実行される請求項10に記載の処理。

【請求項12】 前記の硬化ステップが、光放射、好ましくは、UV放射によって実行される請求項10に記載の処理。

【請求項13】 前記の放射が別のツールにおいて実行される請求項12に記載の処理。

【請求項14】 さらに、リフローソルダーリングおよび/またはウェーブソルダーリングによって前記の基板上に部品を組み立てることを含む請求項11に記載の処理。

【請求項15】 さらに、リフローソルダーリングおよび/またはウェーブソルダーリングによって前記の基板上に部品を組み立てることを含む請求項12または請求項13に記載の処理。

【請求項16】 前記のリフローソルダーリングおよび/またはウェーブソルダーリングは、1または複数の部品が請求項1から請求項13のいずれかに記載の処理によって組み立てられた後で実行される請求項14または請求項15に記載の処理。

【請求項17】 請求項1から請求項16のいずれかに記載の処理によって製造される装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フリップチップアセンブリ技術を用いて、PCB(プリント回路基板)のように、基板上に半導体素子を組立てる方法に関する。

【0002】

【従来の技術】遠距離通信用途のプリント回路基板(PCB)アセンブリは、重要な基準として高い信頼性を伴って設計され製造される。それ故、これらのアセンブリで適用される技術は、しばしば、標準的なSMT(surface-mount-technologies: 表面実装技術)やスルーホール部品のリフローソルダーリングやウェーブソルダーリング(wave soldering)のような十分確立された適切な技術に限られる。しかし、小型化、より高い機能、より多くのピン、および、より高い周波数に対する需要の増加は、遠隔通信機器製品に、BGA(ball-grid-array: ボールグリッドアレイ)、CSP(チップサイズパッケージ)、および、フリップチップアセンブリのような、より進んだパッケージング技術を導入するよう迫る。これらのアセンブリ技術は、例えば、より大きいチップサイズ、ピンまたはボンディングパッドの数の増大、より小さなピッチサイズ、すなわち、近接または隣接する、ピンまたはボンディングパッド間の距離に対する要求にうまく対処しなければならない。

【0003】フリップチップボンディング技術は、他のLSI(large-scale-integration: 大規模集積)パッケージング技術と比較して、高いパッケージ密度と電気的性能を提供する。複数のフリップチップボンディング技術は、主として、基板に対するチップの半田ボンディングに基づいて発展した。通常のフリップチップアセンブリ処理によると、チップは、リフローされた半田パンブによってボンディングパッドを接続する基板に接合される。その後、アンダーフィル材料が、結合されたチップの端に沿って提供され、毛管現象(capillary action: キャピラリアクション)によって、結合されたチップと相互接続基板との間に流入することが可能となる。最後に、そのアンダーフィル材料は硬化される。アンダーフィル材料は、チップと基板との間、および、两部分を接続する半田パンブ間の固定したスタンドオフギャップを充填するために使用される。

【0004】2000年1月の「Advance Packaging Magazine」に掲載されたD. Baldwin等による「低価格高スループットのフリップチップ処理」において、代替のフリップチップ半田ペースボンディング技術が提案されている。まず、制御された量のアンダーフィル材料が、ボンディングパッド上にステンシル印刷される。次に、半田ペーストがボードまたは基板に印刷される。その後、チップまたはSMT部品が基板上に配置され、チップのパンブをボンディングパッドに位置合わせし、部品が基板と十分な電気的接触および機械的接触をするまで、液体のアンダーフィル材料を圧縮する。最後に、半田パンブがリフローされ、アンダーフィル材料が硬化される。この代替は、結合されたチップの下端からアンダーフィル材料を流す時

間消費ステップを部分的に取り除くが、提案された処理は、いまだ、SMT部品とPCB基板との間に電気的接続を形成するために、リードベアリング半田を使用する。

【0005】最近の電子アセンブリにおいて、Pb/Sn半田を多くの代替材料によって置きかえることが試みられている。この傾向は、環境の理由によってだけでなく、より細かい、または、より小さいピッチサイズをもつ部品を組立てる必要性によっても進められる。これらの代替材料の中で、リードレス半田と接着剤は、最も有望な候補者である。接着剤に関して、一般に、異方性導電接着剤(ACAs: anisotropic conductive adhesives)、等方性導電接着剤(ICAs: isotropic conductive adhesives)、および、非導電性接着剤(NCAs: non-conductive adhesives)を区別する。ACAは、単に、電気的に絶縁しているNCAからなる。これには、例えばNi/Auがコートされた樹脂の球である導電性粒子が分散される。分散される導電性粒子の含有量は、数重量パーセントに限られる。その粒子は、鎖を形成するように結合されない。これらの粒子は、硬化された後、基板や結合された部品に垂直な方向に導電性経路を形成する。また、ICAもNCAからなるが、例えば銀フレーク(flake)のような導電性粒子の含有量が非常に高い。故に、接着剤を硬化した後、ICAは、等方的に導電する。

【0006】1994年の「International Society for Hybrid Microelectronics (ISHM)」予稿集の561ページから565ページに掲載されたR. Pernice等による「半田に代わる等方性導電接着剤(ICA)の評価」において、接着剤は、標準的なFR4-ラミネート基板上にチップコンデンサおよびチップ抵抗のような粗いピッチの部品を結合するために使用される。試験下で、複数のICAが、基板上のボンディングランドとSMT部品のボンディングパッドとの間に接着剤の結合部を形成するために使用された。その接着剤の結合部は、ボンディングパッドメタライゼーション上に接着剤を提供し、チップをボンディングパッドに実装し、適当な熱および/または圧力処理を適用することによって確立される。筆者は、その接着剤の結合部の一貫しない電気的安定性、または、機械的欠陥を報告した。

【0007】

【発明が解決しようとする課題】本発明の目的は、現在の技術と比較して、簡単で、信頼性の高い、コストが有効なアセンブリ処理を提供することである。

【0008】特に、本発明の目的は、たとえ安い低温基板であっても、全種類の基板に適用できる、接着剤を採用した信頼性のあるアセンブリ処理を提供することであ

る。

【0009】本発明のさらなる目的は、接着材料を採用し、細かいピッチの部品を実装することに適用できる信頼性のあるアセンブリを提供することである。

【0010】最後に、本発明の目的は、先進の（すなわち、本発明による）アセンブリと従来の（すなわち、半田ベースの）アセンブリの両方が同じPCBまたは他の基板上に存在するユニットを形成することである。そのような「混合アセンブリ」ユニットについて、本発明は、従来のアセンブリ技術と共用できるアセンブリ技術を提供する。故に、基板上に接合される各々の特定の部品に最も適したアセンブリ技術が選択できる。

【0011】

【課題を解決するための手段】本発明に係る処理は、少なくとも1の基板と少なくとも1の部品とからなり、かつ、前記の部品は前記の基板に接合されて、前記の基板と電気的に接触する装置を製造する処理である。その処理は、ボンディングパッドまたはコンタクトパッドとよばれる複数の金属領域をその表面上に備える基板を提供するステップと、ボンディングパッドまたはコンタクトパッドともよばれる、ピンまたはバンプのような複数の金属領域を含み、前記の部品上の前記のボンディングパッドは、前記の基板上の前記のボンディングパッドの少なくとも1つの集合に対応する部品を提供するステップと、前記の基板の前記のボンディングパッド、または、前記の部品の前記のボンディングパッドに、等方性導電接着剤、すなわち、ICAを提供するステップと、前記の等方性導電接着剤を乾燥させる乾燥ステップと、前記の基板の前記のボンディングパッド間に位置された領域上にあらかじめ決められたパターンでアンダーフィル材料を適用するステップと、前記の部品の前記のボンディングパッドが、前記の基板のボンディングパッドの集合の真上にあるように、前記の部品を位置決めする位置決めステップと、あらかじめ決められた距離が前記の部品と前記の基板との間に到達されるまで、前記の部品に機械的圧力を作用させ、それにより、前記の部品および前記の基板の対応するボンディングパッド（2a、2b）が両方とも前記の等方性導電接着剤と接触する機械的圧力作用ステップと、前記の機械的圧力と前記のあらかじめ決められた距離とを維持する一方、前記の等方性導電接着剤と非導電性接着剤を硬化させるために熱圧縮ステップとも呼ばれる硬化ステップを実行し、それにより、前記の部品と前記の基板との間に電気的接触を形成するステップとからなることを特徴とする。

【0012】好ましくは、前記の処理において、前記の基板の材料は、FR4、FR5、ガラスエポキシ樹脂材料、セラミック材料、ポリイミド、ポリエステル、アルミナベース材料、および、プラスチック材料からなるグループから選択される。

【0013】好ましくは、前記の処理において、前記の

部品は、パッケージされた半導体チップ、パッケージされていない半導体チップ、むきだしの半導体ダイ、および、非半導体材料から作られた部品からなるグループから選択される。

【0014】好ましくは、前記の処理において、前記のICAは、少なくとも80重量パーセントの銀フレークを含む非導電性エポキシ樹脂である。

【0015】好ましくは、前記の処理において、前記のアンダーフィル材料は、非導電性接着剤（NCA）である。

【0016】好ましくは、前記の非導電性接着剤は、非導電性エポキシ樹脂である。

【0017】好ましくは、前記の処理において、前記の乾燥ステップは、オープンで、等方性導電接着剤とアンダーフィル材料の両方の硬化温度よりも低い温度で実行される。

【0018】好ましくは、前記の処理において、前記の乾燥ステップは、最大110℃の温度で実行される。

【0019】好ましくは、前記の処理において、前記の硬化ステップは、最大130℃の硬化温度で実行される。

【0020】好ましくは、前記の処理において、前記の位置決めステップと機械的圧力作用ステップは、第1のツールで実行され、前記の基板と前記の部品とによって形成されるアセンブリを前記の第1のツールから第2のツールまで移動させた後、同時に起こる加圧ステップと硬化ステップが、第2のツールで実行される。

【0021】好ましくは、前記の処理において、前記の熱圧縮ステップは、前記の部品に均一な機械的圧力を働かせるために適当な大きさや形状とを有し、かつ、前記の部品と前記の部品に接触した前記の基板とに硬化温度をもたらすために熱源を含むサーモドを用いて実行される。

【0022】好ましくは、前記の処理において、前記の硬化ステップは、光放射、好ましくは、UV放射によって実行される。

【0023】好ましくは、前記の処理において、前記の放射は、別のツールにおいて実行される。

【0024】好ましくは、前記の処理は、さらに、リフローソルダーリングおよび／またはウェーブソルダーリングによって前記の基板上に部品を組み立てることを含む。

【0025】好ましくは、前記の処理において、前記のリフローソルダーリングおよび／またはウェーブソルダーリングは、1または複数の部品が、本発明に係る処理によって組み立てられた後で実行される。

【0026】本発明に係る装置は、前記のいずれかの処理によって製造される装置である。

【0027】

【発明の実施の形態】次に、添付の図面を参照して、本発明が詳細に説明される。しかし、当業者は、本発明を

実行する複数の他の同等な実施の形態または他の方法を想像でき、本発明の精神と範囲は添付の請求項の条件によってのみ制限されることは明らかである。出発点として、2つの従来技術の処理が、図1と図2に説明される。

【0028】図1は、半田バンプが、例えば半導体チップのような部品1と基板3との間の電気的接続を形成するために使用される処理のステップを示す。

S1：ボンディングパッドまたはコンタクトパッド2aとよばれる複数の金属領域を含む基板3と、同じく、基板上の前記のボンディングパッド2aに対応するチップバンプまたはピンであってよい複数のボンディングパッド2bを含む部品1とを提供する。(図1A)

S2：リフローされた半田バンプ4によって、ボンディングパッド2aおよびボンディングパッド2bを接続することにより、基板3に部品1を位置決めして接合する。(図1B)

S3：結合された部品1の端に沿って、アンダーフィル材料1を提供する。(図1C)

S4：アンダーフィル材料を硬化させる。(図1D)

【0029】この第1の従来処理によって生じる課題は上述された。同じくすでに略述されたように、従来技術においてフリップチップボンディングにICAを使用することは、限られた数のI/O(入力/出力)ポートや、むしろ大きい面積をもつI/Oパッドを備えた小さい領域のチップに限られる。ICAは、従来技術において、低いCTE(coefficient of thermal expansion:熱膨張係数)を有するガラスのような基板上のフリップチップ部品に対して使用される。そのようなチップの例は、チップコンデンサまたはチップ抵抗である。従来技術から知られる、ボンディングパッドの大きさと数とにおいて制限されたそのようなフリップチップ部品に使用される通常の処理は以下のステップを含む(図2)。

【0030】P1：スクリーン印刷またはICAの提供(dispensing)によって基板のボンディングパッド2aにICA6を適用する。または、代わりに、チップをICAに押しつけることによってチップバンプ2bに適用する。(図2A)

P2：基板3に部品1を位置決めして配置する。(図2B)

P3：ICAを硬化させて、部品1と基板3のそれぞれの電極2bと電極2aとの間に電気的接続を確立する。(図2C)

P4：アンダーフィル材料5を適用し、部品1と基板3との間のキャビティ7を充填する。(図2D)

P5：アンダーフィル材料5を硬化する。(図2E)

【0031】実装された部品1と基板3との間のCTEにおける違いは、両部分間に挿入された層においてストレスを生成する。アンダーフィル材料は、このCTEの

不一致によって引き起こされるストレスをチップ領域全体に分散することによって緩和するために使用される。

【0032】アンダーフィル材料がない場合、ボンディングパッド2a上に提供され、部品1と相互接続基板3との間に接続層を形成するICAは、それ自身によってこのストレスに対処しなければならない。少数の入力/出力(I/O)ポートを有する、例えば、 350×10^{-6} メートルかそれ以上のピッチの大きな部品の場合には、部品と基板との間の電気的接触を形成するために比較的大きなボンドパッドが利用できる(図3A)。そのような大きいボンディングパッド上において、接着剤の結合部を形成するために比較的多量の接着剤が提供できる。そのような特定の用途について、その大きな接着剤の結合部は、熱膨張の違いによって生まれる機械的ストレスを吸収できる。

【0033】すでに略述された従来処理において、ステップP1-P2-P3の間に、アンダーフィル材料は全く存在しない。もしそのような処理手順が、(図3Bに示されるように)大きなチップ、多数のI/Oポートを有するチップ、または、チップバンプと基板との間に面積の小さいボンディングパッドまたは接触領域を有するチップに適用されるなら、接着剤の結合部は、熱機械的ストレスを処理できない。特に、そのアセンブリは、段階P3の途中、ICAの硬化後、および、アンダーフィル材料の適用前に非常に失敗しやすくなる。アセンブリ手順におけるこの段階で、CTEの不一致、アセンブリの操作、または、他の原因から起こる全ての機械的ストレスは、比較的小さな相互接続表面を構成する硬化された最終的な硬いICAによって処理されなければならない。ステップP4においてアンダーフィル材料が適用される前に、かなりしばしば失敗が起こった。それは、不良電気接触をもたらす。これら通常のアセンブリ方法において、アセンブリサイクルにおける主に接着剤の結合部に多大なストレスが作用する段階は、失敗を引き起こし、アセンブリまたは接触の信頼性が制限される結果となる。所定の接触領域について、部品と基板との間の熱的不一致が大きくなるほど、部品と基板との間の機械的接触は失敗する可能性がある。

【0034】本発明は、フリップチップ相互接続技術を用いてチップを基板に接続する技術、等方性導電材料と非導電性材料の組合せを適用する技術を含む。実験は、この方法において、多くの反りがあり、実装されるシリコンチップと熱的不一致が大きいFR4 PCB材料のような低価格または低質の基板上に、例えば最低 125×10^{-6} メートルの細かいピッチを有する、例えば、最大 $15 \text{ mm} \times 15 \text{ mm}$ の大きなチップを用いて、信頼性の高いアセンブリが実現できることを示した。

【0035】図4に示される本発明の第1の実施の形態において、基板に素子をフリップチップ実装するアセンブリ処理が開示される。その処理は、以下のステップか

らなる。

I 1 : ボンディングパッドまたはコンタクトパッド 2 a と呼ばれる複数の金属領域を含む基板 3 と、同様に、基板上の前記のボンディングパッド (2 a) に対応する複数の金属領域 (2 b) を含むチップ 1 とを提供する (図 4 A) 。部品のボンディングパッド (2 b) は、チップバンパまたはピンであってよい。

I 2 : 基板 3 に存在するボンディングパッド 2 a 上に I C A 6 を適用する (図 4 B) 。

I 3 : I C A を乾燥させる。

I 4 : N C A アンダーフィル材料 5 を、基板 3 のボンディングパッド 2 a 間に適用する (図 4 C : 断面図、図 4 D : 上面図) 。

I 5 : 部品 1 の位置決めと配置 (図 4 E) 。

I 6 : 熱圧縮ステップを実行し、部品 1 と基板 3 との間の電氣的接合を形成する (図 4 F) 。

【0036】まず、上述の手順において使用される材料の概略が述べられる。その後、代替の処理手順が開示される。ステップ I 1 で提供される基板 3 は、好ましくは、積層された誘電体層からなる。それらは、これらの層上またはこれらの層間に形成される電氣的導電性トラックのパターンを電氣的に絶縁する。これらの導電性トラックのパターンは、これらの誘電体層に形成されたホールを通して相互接続できる。基板の少なくとも 1 つの表面において、電氣的コンタクトパッド 2 a の少なくとも 1 つのパターンが形成される。ボンディングパッドまたはボンディングランドとも呼ばれるそのような電氣的コンタクトパッドのパターンは、基板に実装される部品すなわちチップの表面に存在する電氣的コンタクトパッドのパターンに対応する。基板上の各々の電氣的コンタクトパッドが 1 つの導電性トラックに接続され、同じパターンまたは異なるパターンに属する電氣的コンタクトパッド間で電氣的接合を形成する。その基板は、任意の硬質または柔質の材料から構成できる。その基板は、2 p p m / ° C から 2 0 0 p p m / ° C の範囲の C T E を有する材料からなる任意の基板であってよい。その C T E は、ネガティブであってよい。一般に使用される基板は、プリント回路基板 (P C B) 材料、好ましくは、例えば F R 4 (C T E : 1 5 p p m / ° C から 2 2 p p m / ° C) または F R 5 のような低価格材料、ガラスエポキシ樹脂またはエポキシ樹脂 (C T E : 1 p p m / ° C から 5 4 p p m / ° C) 材料、ガラスのようなセラミック材料、ポリイミドまたはポリエステルのようなフレキシブル材料、アルミナベースの材料である。その基板は透過性材料であってよい。その基板は、例えば P E T 、 P E S 、または、それに類似する材料のようなプラスチック材料である、低い融解温度を有する低温基板であってよい。基板の融解温度は、接着剤の硬化温度よりも高くない。プラスチックに関して、C T E は、2 p p m / ° C から 2 0 0 p p m / ° C であってよい。その C

T E はネガティブであってよい。すなわち、P E T ベースの基板のように温度が上昇すると縮んでもよい。C T E は、0 p p m / ° C から 1 0 p p m / ° C の範囲であってよい。

【0037】ステップ I 5 において基板に取り付けられる部品は、好ましくは、パッケージされた半導体チップである。また、その部品は、パッケージされていない半導体チップ、または、むきだしのダイであってもよい。半導体チップを含むパッケージの外側表面、または、むきだしのダイの表面にコンタクトパッド 2 b が存在する。半導体チップは、電子回路または 1 以上の電子素子を含む。半導体チップのバルクは、大抵、シリコンで作られるが、例えばガリウムヒ素 (G a A s) のような任意の半導体化合物材料を用いて形成されてもよい。また、その部品は、例えばプラスチックのような他の材料がベースにされてもよい。パッケージまたはむきだしのダイ上のコンタクトパッドのパターンは、基板上のボンディングパッドのパターンに対応する。これらのコンタクトパッドは、大抵、末端が表面仕上げ (s u r f a c e f i n i s h) された、積層の金属層を含む。それは、本発明による相互接続技術に適している。その表面仕上げ層は、利用される処理温度よりも高い融解温度を有する材料からなる。その表面仕上げ層は、めっきされた N i / A u バンプ、A g / P t 、めっきされた A u / C u 、または、他の材料から成ってよいが、熱圧縮ステップ (I 6) 間に到達される最大温度よりも低い融解温度を有する材料であってはいけない。例えば、共晶の P b / S n 、または、類似の融解温度を有する半田材料は、最大処理温度がこの P b / S n 半田材料の 1 8 3 ° C の融解温度よりも高いなら使用できない。

【0038】ステップ I 2 において基板に提供され、部品とチップとの間に電氣的接合を確立するために使用される接着剤は、等方性導電材料 (I C A) のグループから選択される。接着剤は、チップの各々のボンディングパッドを基板の対応するコンタクトパッドに電氣的に接続する。この接着剤は硬化できなければならない。すなわち、温度を上げると、乾いていない糊のような状態から重合された硬い状態まで変形する能力を有していなければならない。硬化できる限り、任意のスクリーン印刷可能な、または、提供可能な導電性材料が使用できる。このために、かなりしばしば、多量の、例えば、8 0 またはそれ以上の重量パーセントの銀フレークを含む非導電性エポキシ樹脂が使用される。等方性導電接着剤の分野において、好ましい系統は、銀含有エポキシ接着剤である。一般的な硬化時間は、1 2 0 ° C から 1 5 0 ° C で 3 分から 1 0 分台である。また、アクリルまたはポリアミド型の接着剤およびケイ素樹脂も知られているが、ポリアミドの場合において、電氣的性能が低いか、処理が困難であるかのどちらかである。I C A の分野における新しい進展が、高融解プラスチック (例えば、P E S 型)

からなる熱プラスチック材料を用いて報告された。また、その分野における比較的新しい進展は、比較的低温でかなり速い硬化を可能にする、銀が埋め込まれたUVアクリル酸塩、および、UV起動の樹脂系統である。

【0039】アンダーフィル材料は、提供またはスクリーン印刷されることが可能で、加熱によって硬化できる非導電性材料である。非導電性エポキシ樹脂接着剤または他のアンダーフィル材料が適当である。(UV硬化または熱硬化系統の)非導電性接着剤もアンダーフィル材料として都合よく使用された。

【0040】ICAを基板に適用するステップ12(図4B)は、さらに、基板3のコンタクトパッド2aに接着剤を提供して、これらのコンタクトパッドに接着材料のドットまたはバンブを得るステップを含む。また、ICAを基板に適用するステップは、さらに、ファインピッチアセンブリの場合に、接着剤をスクリーンまたはステンシル印刷するステップを含む。コンタクトパッド間のピッチは、 350×10^{-6} メートルまたはそれ以下、 200×10^{-6} メートルまたはそれ以下であってよい。コンタクトパッド間のピッチは、 125×10^{-6} メートルであってよい。もし、確かに、小さなピッチサイズまたは小さな領域のコンタクトパッドを有する部品が基板に実装されるなら、基板上のコンタクトパッドに対して印刷または提供されるICAドットの正確な位置決めが助言される。

【0041】ICAを乾燥させるステップ13は、低温、好ましくは、約 100°C またはそれ以下でなされる。ICAの乾燥は、ICAの重合を防ぐために接着剤のガラス化温度(glass temperature)よりも実質的に低い温度でなされるべきである。ICA接着剤の乾燥は、対流型のオープンで 110°C でなされてもよい。処理手順におけるこの段階で、ICAは、硬化または重合されない。この乾燥ステップの目的は、接着剤がより凝集力を有するように、ICA材料から溶剤を取り除くこと、および、ICAとボンディングランドとの間の最小限の付着力を確立することである。乾燥されたICAドットは、続いて行われる処理ステップの間、所定位置に保たれる。例えば、乾燥されたICAドットは、熱圧縮ステップ16の間、NCAフローによってその位置から一掃できない。ステップ16で熱圧縮サイクルが実行されるまでICAの乾燥を延期することによって、部品は、着脱可能でICAに固定される。その部品は、ICAの最終的な硬化温度が到達されるまで、基板から除去できる。この着脱可能な結合部は、処理手順の最終段階であっても、結合を修復する機会や、部品のアラインメントを調節する機会等を与える。

【0042】ステップ14(図4C)において、アンダーフィル材料5が基板3に適用される。そのアンダーフィル材料は、好ましくは、NCAである。NCAは、通常、ディスペンシング技術(図4Dを参照)を用いて、

チップ領域の中間に適用される(図4D:1'を参照)。NCAは、スクリーンまたはステンシル印刷によって基板上にコートおよびパターン化できる。かなりしばしば、NCA5は、外辺部およびチップ領域の中央における長方形または正方形の対角線に沿って、または、螺旋として提供される(図4Dを参照)。チップ領域(図4D:1')は、配置の後チップによって覆われる基板の一部をいう。チップ領域は、一般に、基板上のボンディングパッドのパターンによって下図が描かれる。

10 NCAの量とNCAが基板上に提供されるパターンは、ステップ15において基板にチップを配置した後、NCAの最前部がチップの端に到達するような量とパターンである。もし、アンダーフィル材料の量とパターンが最適化されるなら、多くのNCAのうち、少量のNCAのみが、チップと基板との間のキャビティーから押し出される。もし、多すぎるNCAが提供されるなら、過剰のNCAがキャビティーからしぼり出され、続くステップで使用されるサーモモード(thermode)を汚す可能性がある。

20 【0043】基板のボンディングランドにICAドットを形成し、これらのICAドットの間NCAを提供した後、部品がICAドットに配置される(ステップ15:図4E)。部品は、乾燥されたICAおよび乾いていないNCAペーストによって部分的に覆われた基板に正確に位置決めされる。チップの位置決めは、部品のボンディングパッドが、基板のボンディングパッドに位置決めされることを意味する。位置決めの後、チップ上にある圧力をかける一方、部品は基板に近づけられる。この圧力は、好ましくは、部品の領域に渡って様に分配される。部品の移動の間、NCAは、部品の端に向かって流れ始める。乾燥されたICAドットは、このステップの間に一掃されず、実質的に同じ位置に留まる。部品に対する圧力の印可は、乾燥されたICAが、部品の金属バンブと基板のボンディングパッドの形状を変形する、および、部品の金属バンブと基板のボンディングパッドの形状に適應する要因となる。その部品は、基板に向かい合う部品の表面と基板の表面との間に所定の距離が得られるまで移動される。部品と基板の相対する表面間の間隔は、ICAドットおよび再分配されるNCAで

40 充填される。これまで、部品と硬化されてない接着剤は、例えば、位置決めエラーまたは不適切接触などを修正する必要があるなら、たやすく除去できる。そして、アセンブリサイクルは、第1のステップから再開できる。

50 【0044】最後にステップ16(図4F)において、部品、すなわち、チップ1と基板3のコンタクトパッド2との間の電気的接触が実現される。前のステップの最後に得られた位置が固定される。前のステップから圧力を維持する一方、接着剤は、ICAおよびNCAの硬化温度よりも高い温度に加熱される。その加熱は、サーモ

ード8、すなわち、部品に圧力を作用させ、部品に熱を提供できるツールによってなされ得る。この加熱により、ICAおよびNCAは重合し、固体になる。同時に、部品と基板との間に電氣的接続が形成される。部品と基板との間の固定された電氣のおよび機械的接続が確立される。この重合化に必要な温度は、使用される接着剤材料に左右される。硬化温度は、一般的に、140℃-150℃またはそれ以下である。接着剤を硬化した後、そのアセンブリは、部品に圧力を維持する一方で、ある「ツールアップ(tool up)」温度に到達するまで冷却される。この「ツールアップ」温度において、チップにおける圧力が解除され、サーモードは除去される。温度処理、例えば、過熱または冷却の間、および、アセンブリユニットを使用する間、CTEの不一致によって引き起こされるアセンブリ中のストレスは、部品の実質的に全表面にわたって分配される。部品と基板との間のギャップは、NCAとICAの両方によって充填され、基板と接触する部品の表面と実質的に一致する相互接続インタフェースとなる。

【0045】提案されたアセンブリ手順は、実質的に接続材料およびアンダーフィル材料で覆われた基板を部品に提供するだけで小さな接触領域に強いストレスが発生することを排除する。その覆いは、80%またはそれ以上、好ましくは、90%またはそれ以上である。従来技術と反対に、アンダーフィル材料は、チップの配置に先だって提供される。それ故、時間を消費する失敗しやすいキャピラリアンダーフィル処置を回避する。

【0046】本発明の第2の実施の形態において、部品が基板に関して位置され、接着剤の上部に配置されるステップ15は、第1のツールでなされる。また、部品は、アンダーフィル材料がICAパンプによって充填されない两部分間のギャップを実質的に均一な方法で充填するまで、基板に存在する接着剤に押し込まれる。部品の接着剤に対する付着は、アセンブリが、基板に関して部品の位置を維持する一方、第2のツールに移動されるような付着である。NCAとICAの両方の接着剤が存在する結果、生じる機械的ストレスが、両接着剤によって吸収される。最終的な電氣のおよび機械的接続が確立される最後のステップ16は、発明の前の実施の形態による第2のツールで実行される。チップの配置と熱圧縮サイクルが、異なる2つの機械で実行されることを可能にすることによって、アセンブリ製造ラインのスループットが増大できる。

【0047】本発明の第3の実施の形態において、接着剤の硬化、それ故、電氣のおよび機械的接続の確立は、UVによってなされる。これは、図5に示される。接着剤の重合の途中で、支持台と接触した基板、または、部品と接触したサーモードによってクロスリンクを形成するために必要なエネルギーを提供する代わりに、このエネルギーは、光、好ましくは、UV光10によって提供

できる。もし、光を吸収することなく、例えばUV放射の通過を可能にする例えばガラスまたはプラスチックのような透明基板3が使用されるなら、光硬化が熱硬化の変わりに使用できる。第1に必要なことは、接着剤がUV硬化できなければならない。もしその部品が、UV放射に対して透過性でなければ、その硬化は、アセンブリの背面、すなわち、部品に接続される表面と反対の基板の表面から、この表面に熱を印可することによって実行される。例えば、基板が位置される台が加熱できる。接着剤は、透明な基板を通して光が当てられる。まず、部品1が、第1のツール9によって、ICAドット6とNCAパターン5(図5A)とに位置される。それは、前の実施の形態で使用されるツール8と同様であるが、ヒートキャパシティがない。その後、基板に着脱可能に取り付けられた部品のアセンブリは、第2のツールに移される(図5B)。このツールにおいて、透明な基板が使用される場合、アセンブリは放射10(図5C)にさらされる。熱、UV放射、または、それらの組合せによる接着剤の硬化中、アセンブリに圧力が印可される。図5Cで示されるように、圧力は部品に印可される。この圧力は、接着剤の硬化後に解除される。

【0048】本発明の第4の実施の形態において、接着剤ボンディング技術と半田ボンディング技術の両方の混合されたアセンブリ手順が提供される。本発明の実施の形態と従来のソルダーリングアセンブリ技術との組み合わせは、先進のアセンブリおよび古典的なアセンブリが同じ基板に存在するユニット、例えば、PCBをもたらす。それ故に、本発明は、フリップチップオンボード(FCOB)アセンブリ技術として引用できる。そのような「混合アセンブリ」ユニットにおいて、本発明は、それが頑丈である結果、古典的なボンディング手段、例えば、リフローおよびウェーブソルダアセンブリと両立できることがわかる。フリップチップオンボード(FCOB)のほかにも、他の表面実装部品が、接着性フリップチップ相互接続を低下させることなく通常のソルダーリング手順を用いて組立てできる。そのような混合されたアセンブリ手順において、まず、接着剤の結合部が、発明の実施の形態の1つによって確立される。その後、FCOBを伴うボードは、むきだしのまたは原型のPCBとして取り扱うことができ、PCB基板のフリップチップ側、すなわち、接着剤接続を含む表面において、ウェーブソルダーリングを行うこと、および、反対側でリフローソルダーリングを行うことを可能にする。そのフリップチップ手順は、最終的な表面実装された素子(SMD)とスルーホール部品アセンブリに対して透明となる。制限は、FCOB部品が基板において凹凸を形成するとき、リフローソルダーリングが、標準的なステンシル印刷方法を用いてフリップチップ側で実行できないことである。標準的なステンシルまたはスクリーン印刷は、平坦な基板上でのみ実現可能である。ディスペンシング技術

または採用されたスクリーン印刷技術は、この問題を克服し、フリップチップ側でのリフローソルダーリングを可能にできる。

【0049】（発明の好ましい実施の形態の詳細な説明）本発明の最後の実施の形態の好ましい実施の形態において、同じPCB基板上でアセンブリ技術を組み合わせた混合アセンブリが提供される。本発明による接着性フリップチップ、または、従来技術によるウェーブソルダを用いて部品が実装される基板の表面は、基板の上側として引用される。部品、すなわち、SMDがリフローソルダを用いて実装される反対表面は、基板の底側として引用される。この例における基板は、PCB基板である。

【0050】アセンブリにおける第1のステップは、フリップチップアセンブリが後に続く高密度相互接続基板の実現である。第2のステップは、リフローソルダーリングおよびウェーブソルダーリング、または、ボードの両側における広い範囲のSMD部品のICAのみのアセンブリを含む。以下のアセンブリ手順が説明される。

【0051】連続したビルドアップ技術とNi/Au仕上げとを用いた高密度相互接続基板の形成。PCBの大きさは、 $100 \times 110 \text{ mm}^2$ であった。発明の実施の形態によるフリップチップアセンブリ。発明の実施の形態によるテストチップB6、B7、および、C4のICA/NCAを用いたFCOB。これらのチップの特性は、表1で与えられる。基板の底面のボンドランドに半田ペーストをステンシル印刷する。その後、SMD部品、PBGA256/1.27mm、PBGA320/1mm、 $\mu\text{BGA}46/0.75\text{mm}$ 、 $\mu\text{BGA}188/0.5\text{mm}$ 、TSOP32/0.5mm、LQFP216/0.4mm、SOL16/1.27mmを配置すること、および、これらの領域アレイとファインピッチ部品のリフローソルダーリングが続く。接着剤（NCA）を提供し、部品を配置する（LQFP216/0.4mm、SOL16/1.27mm、0603、および、SOT323部品）、および、基板のフリップチップ側、すなわち、上側において硬化する。その後、これらの部品のウェーブソルダーリングが続く。ウェーブソルダ側のファインピッチ（0.4mm）SMD（LQFP216/0.4mm）部品を手動でタッチアップする。代わりに、上記のウェーブソルダステップは、ICAの提供によって取って代わられた。部品を配置するおよびICAを硬化する。LQFP216ピッチは、とても小さいので、この方法でそれを組み立てることができなかった。この代替は、ICAのみのアセンブリとして引用される。一方、ウェーブソルダボンディングを含む手順は、ウェーブソルダアセンブリとして引用される。

【0052】（フリップチップオンボード）ファインラインPCBの製造後、第1のステップは、フリップチップ部品を実装することである。ICAとNCAの使用を

組み合わせた先進技術が適用された。使用されたICAおよびNCA接着剤は、ヘレウス社の試作品である。これらヘレウス社の接着剤を用いて、アセンブリ途中の最大温度は 130°C である。これは、熱圧縮サイクル途中のサーモードの温度である。

【0053】ICA接着剤のスクリーン印刷がなされる圧力は、ピッチの規模に反比例する。ピッチ範囲が $125 \mu\text{m}$ から $150 \mu\text{m}$ のB型チップについて、 2.5 bar の圧力が使用された。一方、ピッチ範囲がより大きい $200 \mu\text{m}$ のC型チップについて、 0.8 bar の圧力が印可された。そのスナップオフは、 0.7 mm に保たれた。例えば、スキージのような移動部分の前進速度は、戻りステップのために 15 mm/s および約 30 mm/s に設定された。チップは、Karl Sussフリップチップボンダを用いて、 $5 \mu\text{m}$ の誤差で配置された。

【0054】アンダーフィル材料として使用される非導電性接着剤は、「Asymtek Millennium Dispenser」によって適用された。結果、図4Dに示されるパターン、すなわち、チップ領域の中央のらせんと対角からの2本の線とのパターンとなる。図4Dに示されるように、提供されたパターンは、ダイの外辺部から幾分かオフセットされる。熱圧縮サイクルの間、NCA接着剤が流れはじめ、ダイまたはチップとボードとの間のキャビティを充填する。また、このステップは、ダイのシーリングとも呼ばれる。もし、NCAの量がダイを隠すのに十分でなければ、熱圧縮ステップの前または後に追加のシーリングステップが適用できる。NCAの列は、ダイの縁にできるだけ接近して提供され、その後、硬化される。

【0055】「Farco F120 ボンダ」が使用される。B型チップについて、その台を室温に保った $15 \times 7 \text{ mm}^2$ サーモードが使用される。その圧力は、 1.66 bar である。より大きいC型チップについて、同じ大きさだが、中央に穴をもつサーモードが使用された。この穴のために、この穴の下に接着剤は硬化できず、台は 100°C の温度に設定される。印可される圧力は、 3 bar である。主圧（main pressure）が 4.8 bar である一方、背圧は 0.8 bar である。熱圧縮サイクルは2つのステップからなる。まず、全圧で 30°C で30秒のいわゆるプレ熱圧縮サイクルが、全圧で 130°C で3分の効果的な熱圧縮サイクルの前に行われる。第1のステップは、アセンブリの信頼性を改善する。例えば、位置決めが十分でないとき、第1のステップ後に良好な接触はない。この場合に、ダイはいまだ基板から除去され、洗浄され、再利用できる。

【0056】（リフローソルダーリング）フリップチップ接着アセンブリに続いて、リフローソルダ部品が実装される。半田ペーストのステンシル印刷および部品配置の後、そのアセンブリは、リフロー温度プロファイルを受

ける。この温度プロファイルは、異なる領域に分割できる。第1の領域は、一般的に、最大 $2^{\circ}\text{C}/\text{s}$ で約 150°C まで温度上昇することからなる。この領域において、半田ペースト中の溶剤は蒸発される。その後、さらに、ボードが、1分から2分に渡って、共晶 SnPb 半田の溶解温度(183°C)までゆっくり加熱される。プレ加熱期間の後、そのボードは、一般的に 235°C まで急速に加熱され、再び急速に冷却される。この領域において、正確なソルダーリングが起こる。半田結合部におけるもろい合金の外延的成長を防ぐために、半田の融解温度を超えている時間は、短くなければならず、一般的に1分である。図6は、両側、すなわち、SMD側(b)およびフリップチップ側(a)の温度を示す。このリフロー温度ステップの間、フリップチップ部品は、基板と部品との間の不一致による熱機械的ストレスに耐えることができる。

【0057】(ウェーブソルダーリング)次のアセンブリ段階は、ウェーブソルダーリングである。ウェーブソルダーリング処理は、異なるステップからなる。ウェーブソルダーリング装置において、まず、ボードは、ボードにソルダーリングフラックスを堆積させるフラックスャーを通過する。フラックスの後、そのボードは、ボードが 100°C から 150°C までの間の温度に加熱されるプレ加熱領域を通過する。この領域において、フラックス溶剤は蒸発され、フラックスは活性化される。プレ加熱段階の追加機能は、ソルダウェイブに入った後、ボードが経験する熱衝撃を減ずることである。プレ加熱段階の後、部品は、ソルダウェイブ上でボードを通過させることによって、正確に半田付けされる。SMD部品が存在するとき、ダブルウェーブソルダーリング装置が使用される。ソルダウェイブ温度は、一般的に、 235°C – 255°C である。SMD部品、従って、フリップチップも、数秒(2秒–4秒)間、液体半田中に完全に浸される。図7は、ウェーブソルダーリング装置を通過した時の(ソルダウェイブに入る)フリップチップ側(a)の温度、および、ウェーブソルダーリング装置を通過するときのSMD側(b)の温度である。図8は、完成した実験ボード(ウェーブソルダ版)の写真を示す。ボード上で測定さ

れる温度は、短い加熱時間のために、半田結合部によって経験される実際の半田の温度よりもかなり低い。これは、ウェーブソルダーリング中にアセンブリが経験する比較的大きい温度差、故に、大きい熱ストレスを暗示する。

【0058】(テストング)全体のアセンブリ手順の間に、フリップチップアセンブリの品質の変化をモニターするために、フリップチップ結合部の接触抵抗が測定された。4つの実物宣伝用製品において、3つのチップB6、B7、および、C4の各々における8つの四点接触抵抗測定構造(four point contact resistance measurement structure)が、全アセンブリサイクルの異なる重要な時期に測定された。表2は、実物宣伝用製品#3(ICAのみのアセンブリ)と実物宣伝用製品#2(ウェーブソルダアセンブリ)における測定結果を示す。これらの測定から、以下の結論が導かれた。

【0059】このテストサンプルのセットにおいて、100%の接触効率(4アセンブリ×1アセンブリ当たり3チップ×1チップ当たり8テスト構造×1構造あたり4接触)を観察した。フリップチップアセンブリは、リフローソルダーリング、ICA硬化ステップ、および、ウェーブソルダーリングさえ耐える。 $7\times 7\text{mm}^2$ チップは、リフローおよびICA硬化の後、接触抵抗において全く増加を示さない、および、リフローおよびウェーブソルダーリングの後に50%の増加を示す。任意の場合において、接触抵抗は、小さな標準偏差を伴って低く(< 25 ミリオーム)留まる。大きなC4チップ($15\times 15\text{mm}^2$)は、いくつかの値が20ミリオーム未満の標準値よりも大きかったという事実により、より大きい平均接触抵抗とよりおおきい標準偏差とを示す。実際に、そのような大きなチップの下でのストレスはより大きい。また、適当な量のNCAのディスベンシングはより困難であり、チップの角がまだ十分アンダーフィルされなかったため、この例において最適ではなかった。

【0060】表1 フリップチップアセンブリに使用されるダイの特性

チップID	B 6	B 7	C 4
チップサイズ (mm ²)	7 × 7	7 × 7	15 × 15
全#ボンドパッド	228	184	288
I/Oピッチ (μm)	125	150	200
パッド配置	周囲	周囲	周囲
パッドサイズ (μm × μm)	75 × 75	75 × 75	100 × 100
パッドスペーシング (μm)	50	75	100
Ni/Auバンプ高さ (μm)	20	20	20

【0061】表2 混合アセンブリ実物宣伝用製品にお*20*ける接触抵抗測定

実物宣伝用製品 #	チップ タイプ	接触抵抗±標準偏差 (mΩ)			
		フリップチップ後	リフロー後	ICAアセンブリ後	ウェーブソルダ後
3 (ICAアセンブリ)	B 6	15 ± 2	17 ± 2	16 ± 2	
	B 7	14 ± 2	15 ± 2	14 ± 2	
	C 4	60 ± 15 6	207 ± 3 51	147 ± 20 0	
2 (ウェーブソルダアセンブリ)	B 6	16 ± 6	未測定		23 ± 11
	B 7	15 ± 4	未測定		22 ± 8
	C 4	50 ± 48	未測定		365 ± 57 7

【図面の簡単な説明】

【図1】 従来技術による半田ベースのアセンブリ技術におけるアンダーフィル処理を説明する図。

【図2】 従来技術による接着剤ベースのアセンブリ技術におけるアンダーフィル処理を説明する図。

【図3】 基板(3)上に実装した後の部品(1)：

(a) ピッチとボンディングパッドサイズの大きな小さいチップ、(b) ピッチとボンディングパッドサイズの

小さな大きいチップの上面図。

【図4】 本発明の実施の形態による処理手順を示す図。

【図5】 本発明の実施の形態による部分的処理手順を示す図。

【図6】 リフローソルダ手順の間に本発明の好ましい実施の形態による実物宣伝用製品アセンブリによって見られる温度プロファイルを示す図。(a) 上側またはフ

21

リップチップ側（太線）（b）底側またはSMD側（細線）

【図7】 ウェーブ溶ダ手順の間に本発明の好ましい実施の形態による実物宣伝用製品アセンブリによって見られる温度プロファイルを示す図。（a）上側またはフリップチップ側（太線）（b）底側またはSMD側（細線）

【図8】 本発明の好ましい実施の形態による完成された実物宣伝用製品アセンブリを示す図。（A）フリップ*

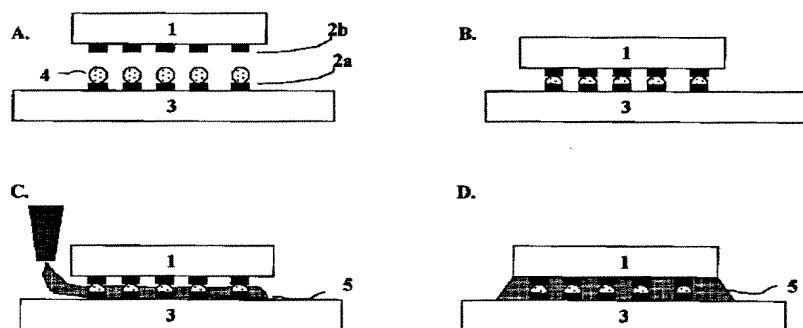
22

* チップおよびウェーブ溶ダアセンブリ、（B）フリップチップおよびリフロー溶ダアセンブリ

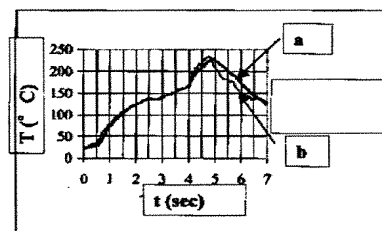
【符号の説明】

- 1 部品
- 2 a、2 b ボンディングパッド
- 3 基板
- 5 アンダーフィル材料
- 6 接着剤
- 8 サーモード

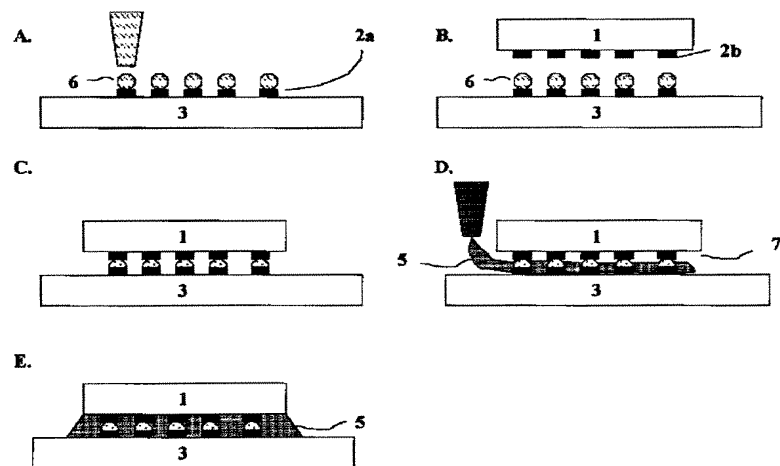
【図1】



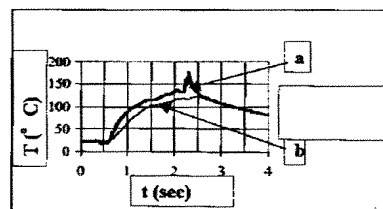
【図6】



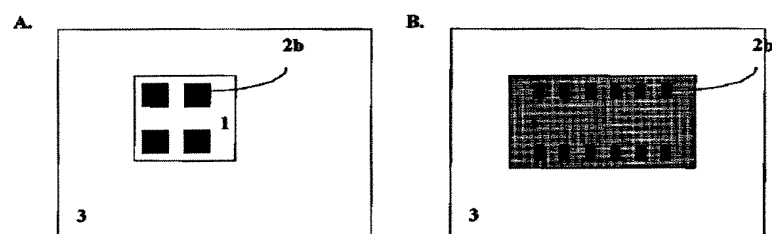
【図2】



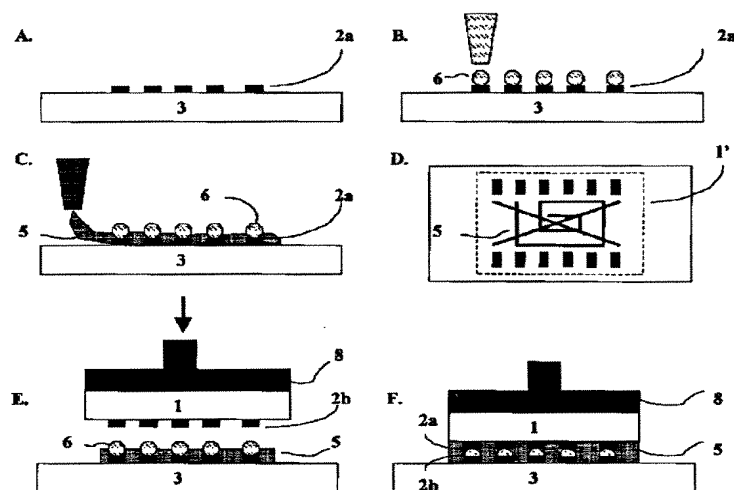
【図7】



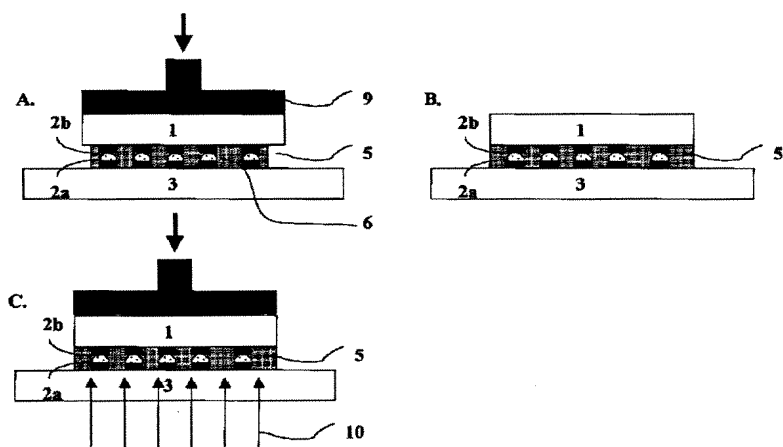
【図3】



【図4】

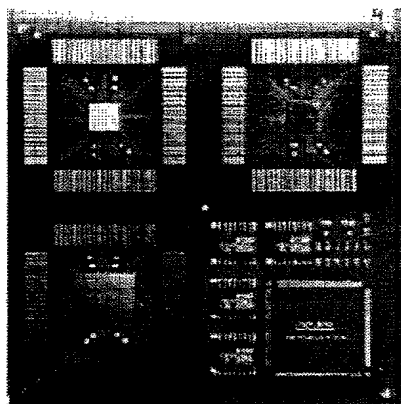


【図5】

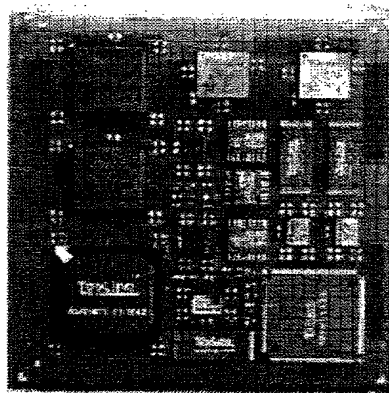


【図8】

A.



B.



フロントページの続き

(72)発明者 ヤン・ファンフレテレン
ベルギー9050ヘントーブルッヘ、フレーデ
ストラート78番

(72)発明者 セルゲイ・ストウカッチ
ベルギー3001ヘフェルレー、イエー・ファ
ンデンペンプトラーン15番
(72)発明者 ビヨルン・ファンデカステーレ
ベルギー9000ヘント、ベケルハーリング49
番

【外国語明細書】

METHOD FOR FLIP-CHIP ASSEMBLY OF SEMICONDUCTOR DEVICES
USING ADHESIVES

Field of the invention

The present invention is related to a method for assembling semiconductor devices on a substrate, such as a PCB substrate (printed circuit board), using a flip-chip assembly technique.

Background of the invention

Printed-circuit-board (PCB) assemblies for telecom applications are designed and produced with a high reliability as an important criterion. Therefore the technologies, applied in these assemblies, are often limited to well established and qualified technologies like reflow and wave soldering of standard SMT (surface-mount-technologies) and through-hole components. However, increasing demands for miniaturization, higher functionality, higher number of pins and higher frequencies put pressure on the telecom equipment manufacturers to introduce more advanced packaging technologies such as BGA (ball-grid-array), CSP (chip-size-package) and flip-chip assembly. These assembly techniques must cope with the requirements of e.g. larger chip size, increased number of pins or bonding pads, smaller pitch size, i.e. the distance between adjacent or neighboring pins or bond pads.

Flip chip bonding technologies provide a high package density and electrical performance compared to other LSI (large-scale-integration) packaging technologies. Several flip chip bonding techniques have been developed, mostly based on solder bonding of the chip to the substrate. According to the conventional flip chip assembly processes, the chip is attached to the substrate connecting the bonding pads by reflowed solder bumps. Afterwards the underfill material is dispersed alongside the edges of the bonded chip and allowed to flow in between the bonded chip and the interconnect substrate by means of capillary action. Finally the underfill material is cured. The underfill material is the material used to fill the fixed stand-off gap between the chip and the substrate and in between the solder bumps connecting both parts.

In "low-cost High throughput Flip Chip Processing" by D. Baldwin et al. in "Advance Packaging Magazine", January 2000, an alternative flip chip solder based bonding technique is proposed. First a controlled volume of underfill material is stencil printed over the bonding pads. Next, solder paste is printed onto the board or substrate. Then chips or SMT components are placed onto the substrate, having the chip bumps aligned to the bonding pads, compressing the liquid underfill material until the components make sufficient electrical and mechanical contact with the substrate. Finally the solder bumps are reflowed and the underfill material is cured. Although this alternative partly eliminates the time-consuming step of having the underfill material flow from the edge underneath the bonded chip, the proposed process still uses lead-bearing solder to form an electrical connection between the SMT component and the PCB-substrate.

In modern electronic assemblies it is tried to replace Pb/Sn solder by a number of alternative materials. This trend is driven by environmental reasons but also by the need to assemble components having finer or smaller pitch size. Among these alternative materials leadless solders and adhesives are the most prominent candidates. With respect to the adhesives one distinguishes anisotropic conductive adhesives (ACAs), isotropic conductive adhesives (ICAs) and non-conductive adhesives (NCAs). An ACA consists merely of an electrically isolating NCA, wherein conductive particles, e.g. Ni/Au coated resin spheres, are dispersed. The content of dispersed conductive particles is limited to a few weight percent, and the particles are not linked to form chains. These particles form, after curing, a conductive path in a direction perpendicular to the substrate and the bonded component. An ICA also consists of an NCA but contains a very high content of conductive particles, e.g. silver flakes. After curing of the adhesive, the ICA therefore conducts isotropically.

In "Evaluation of Isotropic Conductive Adhesives (ICA) for Solder Replacement" by R. Pernice et al. in "International Society for Hybrid Microelectronics (ISHM)" Proceedings 1994, pp. 561-565, adhesives are used to bond coarse pitch components such as chip capacitors and resistors on a standard FR4-laminate substrate. Several ICA's were used to create an adhesive junction between the bonding lands on the substrate and the bonding pads of the SMT components under test. The adhesive junction is established by dispensing the adhesive on the bond pad metallizations, mounting the chip onto the bond pads and applying an appropriated heat and/or pressure process. The author

reported non-consistent electrical stability or even mechanical failure of the adhesive junctions.

Aims of the invention

The aim of the present invention is to offer, in comparison to the state of the art, a simplified, reliable and cost-effective assembly process.

In particular, the invention aims to present a reliable assembly process, employing adhesives, applicable for all type of substrates, even for cheap, low-temperature substrates.

The invention further aims to offer a reliable assembly process, employing adhesives, applicable for mounting fine pitch components.

Finally, the invention aims to form units where both advanced (i.e. according to the invention) and classical (i.e. solder based) assemblies are present on the same PCB or other substrate. For such "mixed assembly" units the invention proposes an assembly technique compatible with the classical one. One can hence choose the most appropriate assembly technique for each specific component to be attached on a substrate.

Summary of the invention

The present invention is related to a process for manufacturing an apparatus comprising at least one substrate and at least one component, said component being attached to and in electrical contact with said substrate, characterized in that said process comprises the following steps :

- providing a substrate, comprising on its surface a plurality of metal area's, called bonding pads or contact pads,

5

- providing a component, comprising a plurality of metal area's, such as pins or bumps, also called bonding pads or contact pads, said bonding pads on said component corresponding to at least one group of said bonding pads on said substrate,
- dispensing an isotropically conductive adhesive, i.e. ICA onto said bonding pads of said substrate or onto said bonding pads of said component,
- drying said ICA,
- applying an underfill material in a predefined pattern on an area situated between said bonding pads of said substrate,
- aligning said component so that said bonding pads of said component are directly above one group of bonding pads of said substrate,
- exerting a mechanical pressure on said component until a predefined distance is reached between said component and said substrate, whereby corresponding bonding pads (2a, 2b) of said component and said substrate are both in contact with said ICA,
- while maintaining said mechanical pressure and said predefined distance, performing a curing step, also called a thermocompression step, to cure said ICA and NCA thereby creating electrical contacts between said component and said substrate.

According to a an embodiment of the present invention, the material of said substrate is chosen from the group consisting of FR4, FR5, glass-epoxy materials, ceramic materials, polyimide, polyester, alumina based materials and plastic materials.

According to a an embodiment of the present invention, said component is chosen from the group consisting of a packaged semiconductor chip, a non-packaged semiconductor chip, a

naked semiconductor die and a component made of a non-semiconductor material.

According to a an embodiment of the present invention, said ICA is a non-conductive epoxy comprising at least 80 weight percent of silver flakes.

According to a an embodiment of the present invention, said underfill material is a non-conducting adhesive (NCA). Said NCA can be a non-conducting epoxy.

According to a an embodiment of the present invention, said drying step is performed in an oven at a temperature below the curing temperatures of both the ICA and the underfill material. According to another embodiment, said drying step is performed at a temperature of maximum 110°C.

According to a an embodiment of the present invention, said curing step is performed with a curing temperature of maximum 130°C.

According to a an embodiment of the present invention, said step of aligning and exerting a mechanical pressure is performed in a first tool, and wherein said step of simultaneous pressing and curing is performed in a second tool, after transporting the assembly formed by said substrate and said component from said first tool to said second tool.

According to a an embodiment of the present invention, said thermocompression step is performed using a thermode which has a suitable size and shape to exert a uniform mechanical pressure on said component and which comprises a heat source in order to bring said component and said substrate in contact with said component to the curing temperature.

According to a an embodiment of the present invention, said curing step is performed by light radiation, preferably UV radiation. Said radiation can be performed in a separate tool.

According to a an embodiment of the present invention, the process further comprises the assembling of components onto said substrate by reflow soldering and/or by wave soldering. According to a preferred embodiment of the invention, said reflow soldering and/or said wave soldering are performed after one or several components have been assembled according the process of the invention.

The present invention is equally related to an apparatus manufactured by the process according to any one of the preceding claims.

Brief description of the drawings

Figure 1 illustrates an underfilling process in a solder-based assembly technology according to the prior art.

Figure 2 illustrates an underfilling process in an adhesive-based assembly technology according to the prior art.

Figure 3 shows a schematic top view of a component (1) after mounting on a substrate (3)
a: small chip, large pitch and bonding pad size
b: large chip, small pitch and bonding padsize.

Figure 4(A-F) illustrates the process sequence according to an embodiment of the invention.

Figure 5(A-C) illustrates the partial process sequence according to an embodiment of the invention.

Figure 6 illustrates the temperature profile during reflow solder sequence as seen by the demonstrator assembly according to a preferred embodiment of the invention. (a) at top or flip-chip side (thick line) (b) at bottom or SMD side (thin line)

Figure 7 illustrates the temperature profile during the wave solder sequence as seen by the demonstrator assembly according to a preferred embodiment of the invention. (a)

at top or flip-chip side (thick line) (b) at bottom or SMD side (thin line)

Figure 8 illustrates the finished demonstrator assembly according to a preferred embodiment of the invention. (A) flip-chip and wave solder assembly (B) flip-chip and reflow solder assembly

Detailed description of the invention

In relation to the appended drawings the present invention is described in detail in the sequel. It is apparent however that a person skilled in the art can imagine several other equivalent embodiments or other ways of executing the present invention, the spirit and scope of the present invention being limited only by the terms of the appended claims.

As a starting point, two prior art processes are illustrated in figures 1 and 2.

Figure 1 shows the steps of a process, wherein solder bumps are used to form the electrical connection between the component 1, e.g. a semiconductor chip and the substrate 3.

The subsequent steps are :

S1 : providing a substrate 3 comprising a plurality of metal area's called bonding pads or contact pads 2a and the component 1, equally comprising a plurality of bonding pads (2b), which can be chip bumps or pins, corresponding to said bonding pads (2a) on the substrate, (figure 1A),

S2 : aligning and attaching the component 1 to the substrate 3 by connecting the bonding pads 2a and 2b by reflowed solder bumps 4 (figure 1B),

S3 : dispensing the underfill material 5 along the edges of the bonded component 1 (figure 1C),

S4 : curing the underfill material (figure 1D).

Problems resulting from this first conventional process have been mentioned above.

As equally outlined above, the use of ICA for flip chip bonding in the prior art is limited to small area chips with a limited number of I/O-ports, the I/O pads having rather large dimensions. ICA is used in the prior art to flip chip components on substrates, such as glass, having a low CTE (coefficient of thermal expansion). Examples of such chips are chip capacitors or resistors. The conventional, process known from prior art and used to flip chip such components, limited in size and number of bonding pads, contains the following steps (figure 2):

- P1 : Application of the ICA 6 on the substrate bonding pads 2a by screen printing or dispensing of the ICA, or alternatively, application on the chip bumps 2b by stamping the chip into the ICA. (figure 2A),
- P2 : Alignment to and placement of the component 1 on the substrate 3 (figure 2B),
- P3 : Curing of the ICA to establish the electrical connection between the electrodes 2b and 2a of the component 1 and of the substrate 3 respectively (figure 2C),
- P4 : Application of an underfill material 5, filling the cavity 7 between component 1 and substrate 3 (figure 2D),
- P5 : Curing of the underfill material 5 (figure 2E).

The difference in CTE between the mounted component 1 and the substrate 3 will create stress in the layers interposed between both parts. The underfill material is used to alleviate the stress, caused by this mismatch in CTE, by distributing this stress all over the chip area.

In the absence of underfill material, the ICA that is dispensed on the bonding pads 2a and forms the joining layer between the component 1 and the interconnect

10

substrate 3, must handle this stress by itself. In case of large pitch components, e.g. 350micrometer or more, with a small number of Input/Output (I/O) ports, a relatively large bond pad area is available to form the electrical contact between the component and the substrate (figure 3A). On such large bonding pads a relatively large amount of adhesive can be dispensed for forming the adhesive junction. For such specific applications the voluminous adhesive junction is able to absorb the mechanical stress created by the difference in thermal expansion.

In the conventional process outlined above, there is, during the steps P1-P2-P3, no underfill material present. If such process sequence is applied to large chips, chips with a larger number of I/O ports or chips with a small dimension of the bonding pads or contact area between chip bumps and substrate (such as illustrated in figure 3B), the adhesive junction can not handle the thermomechanical stress. In particular, the assembly is very prone to fail during the phase P3, after curing of the ICA and before the application of the underfill material. At this stage in the assembly sequence all mechanical stress, resulting from the CTE mismatch, manipulation of the assembly or from any other origin, must be handled by the cured and consequently rigid ICA making up the relatively small interconnection surfaces. Very often failures have occurred before the underfill material is applied in step P4, resulting in non-yielding electrical contacts. In these conventional assembly methods, the phase in the assembly cycle during which high amounts of stress are exerted mainly on the joining adhesive, causes failures and results in limited reliability of the assembly or contacts. The larger the thermal mismatches between component and substrate, for a given contact area, the more probable the mechanical contact between component and substrate will fail.

The present invention comprises a technology for connecting chips to a substrate using the flip-chip interconnection technology, applying a combination of an isotropically conducting material and a non-conducting material. Experiments have shown that in this way highly reliable assemblies can be realised, with large chips, e.g. up to 15mm x 15mm, fine pitch, e.g. down to 125 micrometer, and on low-cost or low grade substrates like FR4 PCB material, which have a lot of warping and a high thermal mismatch with the mounted Si chips.

In a first embodiment of the present invention, illustrated in figure 4, an assembly process for flip-chip mounting of devices to a substrate is disclosed, comprising the steps of :

I1 : providing a substrate 3 comprising a plurality of metal area's called bonding or contact pads 2a and the chip 1, equally comprising a plurality of metal area's (2b) corresponding to said bonding pads (2a) on the substrate, (figure 4A). The component's bonding pads (2b) can be chip bumps or pins.

I2 : Application of the ICA 6 on bonding pads 2a present on the substrate 3 (figure 4B).

I3 : Drying of the ICA.

I4 : Application of NCA underfill material 5 to the substrate 3 in between the bonding pads 2a. (figure 4C: cross section, figure 4D: top view).

I5 : Alignment and placement of the component 1 (figure 4E).

I6 : Execution of a thermocompression step to create electrical contacts between the component 1 and the substrate 3 (figure 4F).

First the materials used in the above sequence are outlined, whereafter the alternative process sequences are disclosed.

12

The substrate 3, provided in step 11, preferably comprises a stack of dielectric layers, which electrically isolate patterns of electrically conducting tracks formed on or in between these layers. These patterns of conducting tracks can be interconnected through holes formed in these dielectric layers. At least on one surface of the substrate at least one pattern of electrical contact pads 2a is formed. Such pattern of electrical contact pads, also called bonding pads or bonding lands, corresponds to the pattern of electrical contact pads present on a surface of a component or chip to be mounted on the substrate. Each electrical contact pad on the substrate can be connected to a conducting track, to form an electrical connection between electrical contact pads, belonging to the same pattern or to different patterns. The substrate can be made of any rigid or flexible material. The substrate can be any of the materials having a CTE, ranging from 2 to 200ppm/°C. The CTE can be negative. Commonly used substrates are: printed circuit board (PCB) materials, preferably low-cost materials such as e.g. FR4 (CTE: 15 to 22 ppm/°C) or FR5, glass-epoxy or epoxy (CTE: 1 to 54 ppm/°C) materials, ceramic materials such as glass, flexible materials such as polyimide or polyester, alumina-based substrates. The substrate can be of a transparent material. The substrate can be a low-temperature substrate, e.g. plastic materials such as PET, PES or alike materials, even with low melting temperatures. The melting temperature of the substrate must be above the curing temperature of the adhesives. For plastics the CTE can range from 2 to 200 ppm/°C. The CTE can be negative, i.e. the substrate shrinks with increasing temperature as e.g. for PET-based substrates. The CTE can be in the range of 0 to -10 ppm/°C.

The component affixed to the substrate in step I5, will preferably be a packaged semiconductor chip. The component can also be a non-packaged semiconductor chip or naked die. On the outer surface of the package containing the semiconductor chip or a surface of the naked die, contact pads 2b are present. The semiconductor chip comprises electronic circuits or one or more electronic devices. The bulk of the semiconductor chip is usually made of Si, but can also be formed using any semiconductor compound material such as e.g. GaAs. The component can also be based on other materials, like e.g. plastics. The pattern of contact pads on the package or on the naked die corresponds to a pattern of bonding pads on the substrate. These contact pads usually comprise a stack of metal layers, ending in a surface finish, suited for the interconnection technology according to the present invention. The surface finish is made of materials, having a melting temperature above the process temperatures used. The surface finish layer can comprise plated Ni/Au bumps, Ag/Pt, plated Au/Cu or other metals, but not materials having a melting temperature lower than the maximum temperature reached during the thermocompression step (I6). For example eutectic Pb/Sn or solder materials having a comparable melting temperature can not be used if the maximum processing temperature is above the 183°C melting temperature of this Pb/Sn solder material.

The adhesive, dispensed on the substrate in step I2 and used to establish an electrical connection between the component and the chip, is selected from the group of isotropic conducting materials (ICA). The adhesive electrically connects each of the bonding pads of the chip to the corresponding contact pads of the substrate. This adhesive must be curable, i.e. having the ability to

transform from a wet, paste-like state to a polymerised rigid state at elevated temperatures. Any screen printable or otherwise dispensable conductive material can be used, as long as it is curable. For this purpose very often a non-conductive epoxy is used comprising a high amount, e.g. 80 or more weight percent of silver flakes. In the area of isotropic conductive adhesives the preferred systems are the silver files epoxy adhesives. Typical curing times are in the order of 3-10 minutes at 120-150° C. Acrylic and polyamide type adhesives and silicones are also known but have either lower electrical performance or more difficult processing in case of polyamide. New developments in the field of ICA have been reported using thermoplastic materials consisting of high melting plastics (e.g. PES type). Relatively new developments in the field also are Ag-filled UV-acrylate and UV-initiated epoxy systems making very fast curing at relatively low temperature possible.

The underfill material is a non-conductive material, which can be dispensed or screen-printed, and which can be cured by heating. Non-conductive epoxy adhesives or other underfill materials are suitable. Non-conductive adhesives (either UV-curing or thermally curing systems) also have been successfully used as underfill material.

The step I2 (figure 4B) of applying the ICA to the substrate can further comprise the step of dispensing the adhesive on the contact pads 2a of the substrate 3 to obtain dots or bumps of adhesive material on these contact pads. The step of applying the ICA to the substrate can also further comprise the step of screen or stencil printing the adhesive in case of fine pitch assemblies. The pitch between the contact pads can be 350micrometer or less, 200micrometer or less. The pitch between the contact pads

can be 125 micrometer. A precise alignment of the printed or dispensed ICA dots to the contact pads on the substrate is advised, certainly if components with small pitch size or small area contact pads are to be mounted to the substrate.

The step I3 of drying of the ICA is done at low temperatures, preferably about 100°C or less. The drying of the ICA should be done substantially below the glass temperature of the adhesive to prevent polymerisation of the ICA. The drying of the ICA glue can be done at 110°C in a convection-type oven. At this stage in the process sequence the ICA is not cured or polymerised. The purpose of this drying step is to evacuate the solvents out of the ICA-material and to establish a minimal adherence between the ICA and the bonding land as the glue has more cohesive force. The dried ICA-dot will be kept in place during subsequent process steps. For example the dried ICA-dot may not be swept away from its position due to the NCA flow during the thermocompression step I6. By postponing the curing of the ICA until the thermocompression cycle executed in step I6, the component will be removably fixed to the ICA. The component can be removed from the substrate, until the final curing temperature of the ICA is reached. This removable joint offers the opportunity of repairing the joint, of adjusting the alignment of the component etc., even in the last stage of the process sequence.

In step I4 (figure 4C) the underfill material 5 is applied to the substrate 3. The underfill material is preferably a NCA. The NCA is normally applied in the middle of the chip area (see figure 4D: 1'), using dispensing techniques (see figure 4D). The NCA can be coated and patterned on the substrate by screen or stencil printing. Very often NCA 5

is distributed along the perimeter and the diagonals of a rectangle or square in the middle of the chip area or as a spiral (see figure 4D). With chip area (figure 4D: 1') is meant the part of the substrate that is covered by the chip after placement. The chip area is normally outlined by the pattern of bonding pads on the substrate. The amount of NCA and the pattern in which the NCA is distributed on the substrate is such that after placement of the chip to the substrate in step I5, the NCA front reaches the edges of the chip. If the amount and the pattern of the underfill material is optimised, only a minor amount of much NCA might be pressed out of the cavity between chip and substrate. If too much NCA is dispensed, the excess NCA will be squeezed out of the cavity and might dirty the thermode used in subsequent steps.

After forming the ICA dots on the bonding lands of the substrate and distributing the NCA in between these ICA dots, the component will be placed on the ICA dots. (step I5: figure 4E) The component will be accurately aligned to the substrate being partially covered by the dried ICA dots and the wet NCA-paste. The alignment of the chip means that the bonding pads of the component are aligned to the bonding pads of the substrate. After alignment the component is moved towards the substrate, while executing a certain pressure on the chip. This pressure is preferably distributed uniformly over the area of the component. During the movement of the component NCA starts to flow towards the edges of the component. The dried ICA-dots are not swept away during this step and remain in substantially the same position. Applying pressure to the component causes the dried ICA to deform and to accommodate with the shapes of the metal bumps of the component and substrate bonding pads. The component will be moved until a given

distance between the surface of the component opposite the substrate and the substrate is obtained. The gap between the opposite surface of the component and the substrate is filled with the ICA dots and with the NCA being redistributed. Up to now the component and the non-cured adhesives can be easily removed if needed to correct e.g. an alignment error or improper contact and the assembly cycle can be restarted from the first step.

Finally in step 16 (figure 4F), the electrical contacts between the component or chip 1 and substrate 3 contact pads 2 are realised. The position obtained at the end of the previous step is frozen. While maintaining the pressure from the previous step, the adhesives will be heated to a temperature above the curing of the ICA and of the NCA. The heating can be done by the thermode 8, i.e. a tool that executes the pressure on the component and that can provide heat to the component. Due to this heating, the ICA and NCA polymerise and will become solid. Simultaneously the electrical connection between the component and the substrate is formed. A fixed electrical and mechanical connection between the component and the substrate is established. The temperature needed for this polymerisation, depends on the adhesive materials used. The curing temperature is typically 140-150°C or less. After curing the adhesives, the assembly is cooled down while maintaining the pressure on the component until a certain "tool-up" temperature is reached. At this "tool-up" temperature the pressure on the chip is released and the thermode will be removed. During the temperature processing, e.g. heating or cooling down, and during the use of the assembled unit, the stress in the assembly, caused by the mismatch of CTE is distributed over substantially the entire surface of the component. The gap between the

18

component and the substrate is filled by both the NCA and ICA, leading to an interconnection interface substantially coinciding with the surface of the component in contact with the substrate.

The proposed assembly sequence eliminates the occurrence of high stress on the small contact areas alone by providing a substrate substantially covered with connecting and underfill material to the component. The coverage will be 80% or more, preferably 90% or more. Contrary to the prior art the underfill material is dispensed prior to the placement of the chip thereby avoiding that the time-consuming and failure-prone capillary underfill procedure.

In a second embodiment of the present invention step I5, in which the component is positioned with respect to the substrate and placed on top of the adhesives, is done on a first tool. Again the component will be pushed into to the adhesives present on the substrate, untill the underfill material is substantially filling in a uniform way the gap between both parts, not filled by the ICA bumps. The adherence of the component to the adhesives is such that the assembly can be transported to a second tool while maintaining the position of the component with respect to the substrate. Thanks to the presence of both the NCA and ICA adhesives, possible mechanical stress will be absorbed by both adhesives. The last step, I6, in which the final electrical and mechanical connections are established will be executed on a second tool according to the previous embodiment of the invention. By allowing the placement of the chip and the thermocompression cycle to be executed on two different machines, the throughput of an assembly production line can be increased.

In a third embodiment of the present invention, the curing of the adhesives, thereby establishing an electrical and mechanical connection, is done by UV. This is illustrated in figure 5. Instead of providing the energy necessary to form the cross links during the polymerisation of the adhesives by the thermode in contact with the component or to the substrate in contact with the supporting table, this energy can be provided for by light, preferably UV-light 10. If a transparent substrate 3, such as e.g. glass or plastic is used, which allows the passage of, e.g. UV radiation without absorbing the light, light curing can be used instead of thermal curing. A first requirement is that the adhesives must be UV curable. If the component is not transparent to the UV radiation, the curing can be executed from the backside of the assembly, i.e. the surface of the substrate opposite the surface connected to the component by applying heat to this surface. For example the table on which the substrate is placed upon can be heated. The adhesives will be illuminated through the transparent substrate. First the component 1 is placed on the ICA dots 6 and the NCA pattern 5 (figure 5A) by a first tool 9, which is similar to the tool 8 used in previous embodiments, but without the heating capacity. Then the assembly of the component removably attached to the substrate is transported to a second tool (figure 5B). In this tool the assembly is exposed to radiation 10 (figure 5C) in case a transparent substrate is used. During the curing of the adhesives by heat, UV radiation or a combination thereof, pressure is applied on the assembly. As shown in figure 5c pressure is applied to the component. This pressure will be released after the curing of the adhesives.

In a fourth embodiment of the present invention a mixed assembly sequence of both adhesive and solder bonding

techniques is presented. The combination of embodiments of the present invention with the prior art soldering assembly techniques results in units where both advanced and classical assemblies are present on the same substrate, e.g. a PCB. The present invention can therefore be referred as flip-chip-on-board (FCOB) assembly technology. In such "mixed assembly" units the present invention proves to be compatible with the classical bonding approaches, e.g. reflow and wave solder assembly, thanks to its robustness. Besides the flip-chip on board (FCOB), other surface mount components can be assembled using the conventional soldering processes without degrading the adhesive flip-chip interconnections. In such mixed assembly sequence first the adhesive joints are established according to one of the embodiments of the invention. The board with the FCOB can then be treated as a naked or original PCB allowing wave soldering on the flip-chip side of the PCB substrate, i.e. the surface comprising the adhesive connection, and reflow soldering on the opposite side. The flip-chip process becomes transparent to the final surface mounted devices (SMD) and through-hole component assembly. A limitation might be that no reflow soldering can be performed on the flip-chip side using the standard stencil printing method, as the FCOB components create irregularities on the substrate. Standard stencil or screen printing is only feasible on flat substrates. Dispensing techniques or adapted screen printing techniques can overcome this problem and allow reflow soldering at the flip-chip side

Detailed description of a preferred embodiment of the invention

In an preferred embodiment of the last embodiment of the invention, a mixed assembly is presented, combining

21

assembly technologies on the same PCB substrate. The surface of the substrate on which components are mounted using adhesive flip chip according to the present invention or wave solder according to prior art techniques will be referred to as the top side of the substrate. The opposite surface on which components, i.e. SMD, are mounted using reflow solder, will be referred to as the bottom side of the substrate. The substrate in this example is a PCB substrate.

The first step in the assembly is the realization of the high density interconnect substrate followed by the flip-chip assembly. The second step involves the reflow soldering and wave soldering or ICA-only assembly of a wide range of SMD components on both sides of the board. The following assembly sequence is illustrated:

- Fabrication of high density interconnection substrate using sequential build-up technology and Ni/Au finish. The size of the PCB was 100 x 110 mm².
- Flip-chip assembly according to an embodiment of the invention. FCOB with ICA/NCA of test chips B6, B7 and C4, according to an embodiment of the invention. The characteristics of these chips are given in Table 1.
- Stencil printing of solder paste on the bond lands at the bottom surface of the substrate, followed by the placement of SMD components PBGA256/1.27mm, PBGA320/1mm, μ BGA46/0.75mm, μ BGA188/0.5mm, TSOP32/0.5mm, LQFP216/0.4mm, SOL16/1.27mm and reflow soldering of these area array and fine-pitch components .
- Glue (NCA) dispensing, component placement (LQFP216/0.4mm, SOL16/1.27mm, 0603 and SOT323 components) and curing on flip chip side or top side of the substrate, followed by wave soldering of these components.

22

- Manual touch-up of fine-pitch (0.4mm) SMD (LQFP216/0.4mm) component on wave solder side.
- Alternatively the above wave solder step was replaced by ICA dispensing, component placement and ICA curing. LQFP216 pitch was too small to assemble it with this method. This alternative will be referred to as the ICA-only assembly, while the sequence comprising the wave solder bonding is referred to as the wave-solder assembly.

Flip-chip on board

The first step after the production of the fine-line PCB is mounting the flip-chip components. The developed technology combining the use of ICA and NCA, was applied. The ICA and NCA adhesives used are experimental products from Heraeus. Using these Heraeus adhesives the maximum temperature during assembly is 130°C. This is the temperature of the thermode during the thermocompression cycle.

The pressure at which the screen printing of the ICA glue is done, is inversely proportional to the dimension of the pitch. For B-type chips with a pitch ranging from 125 to 150 µm a pressure of 2.5 bar was used, while for the C-type chips with a larger pitch of 200 µm a pressure of 0.8 bar was applied. The snap-off was kept at 0.7mm. The forward speed of the moving parts, e.g. squeegee, was set to 15 mm/s and about 30mm/s for the returning step. The chips were placed with an accuracy of 5 µm, using a Karl Süss flip chip bonder.

The non-conductive adhesive used as underfill material was applied by a Asymtek Millenium Dispenser, resulting in the pattern shown in figure 4D : first a spiral in the middle of the chip area and the two lines from opposite corners. As shown in figure 4D, the dispensed pattern is somewhat offset from the perimeter of the die. During the

Thermocompression cycle the NCA glue starts to flow and fills the cavity between the die or chip and the board. This step is also called the sealing of the die. If the amount of NCA is not sufficient to seal the die, an additional sealing step might be applied prior to or after the thermocompression step. A line of NCA is dispensed as close as possible to the border of the die and afterwards cured.

A Farco FI20 Bonder is used. For the B-type chips a 15x7 mm² thermode is used, keeping the table at room temperature. The pressure is 1.66bar. For the larger C-type chips a thermode of the same size was used, but with an opening in the middle. Because of this opening the glue underneath this opening cannot be cured and the table is set to a temperature of 100°C. The pressure applied is 3bar. The back pressure is 0.8 bar while the main pressure is 4.8 bar. The thermocompression cycle comprises two steps. First a so-called pre-thermocompression cycle of 30 seconds at 30°C at full pressure, followed by the effective thermocompression cycle of 3 minutes at 130°C at full pressure. The first step improves the reliability of the assembly. When e.g. an alignment is not sufficient, there will be no good contacts after the first step. In this case the die can still be removed from the substrate, cleaned and reused.

Reflow soldering

Following the flip-chip adhesive assembly, reflow solder components are mounted. After stencil printing of the solder paste and component placement, the assembly is subjected to a reflow temperature profile. This temperature profile can be divided into different regions. A first region consists typically of a temperature ramp up with a maximum of 2°C/s up to about 150°C. In this region the

solvents in the solder paste are being evaporated. Then the board is further slowly heated towards the melt temperature of eutectic SnPb solder (183°C) over a time period of 1 to 2 minutes. After the preheating period, the board is quickly heated to typically 235°C and quickly cooled down again. In this region the actual soldering takes place. To avoid extensive growth of brittle intermetallics in the solder joint, the time above solder melting temperature must be short, typically 1 min. Figure 6 shows the temperature on both sides : the SMD side (b) and the flip-chip side (a). During this reflow temperature step the flip-chip components can withstand the thermomechanical stress due to the mismatch between substrate and component.

Wave soldering

The next assembly phase is the wave soldering. The wave soldering process consists of different steps. In the wave soldering machine the board first passes across a fluxer which deposits soldering flux onto the board. After fluxing the board passes through a preheating zone in which the board is heated to a temperature between 100 and 150°C. In this zone flux solvents are being evaporated and the flux is being activated. An additional function of the preheating stage is to reduce the thermal shock the board experiences when entering the solder wave. After the preheating stage the components are actually soldered by passing the board over the solder wave. When SMD components are present a double wave soldering machine is used. Solder wave temperatures are typically 235-255°C. SMD components and thus also the flip-chips are completely immersed in liquid solder for a few seconds (2-4 sec). Figure 7 shows the temperature at the flip-chip side (a) (entering the solder wave) and at the SMD side (b) when passing through the wave soldering equipment. Figure 8 shows photographs of

25

a finished demonstrator board (wave solder version). The temperature measured on the board is considerably lower than the actual solder temperature experienced by the solder joints due to the short heating times. This is indicative for the relatively large temperature differences and thus large thermal stresses an assembly may experience during wave soldering.

Testing

In order to monitor the evolution of the quality of the flip-chip assembly during the total assembly process, contact resistance of the flip-chip joints was measured. On 4 demonstrators the eight four point contact resistance measurement structures on each of the 3 chips B6, B7 and C4 were measured at different significant moments of the total assembly cycle. Table 2 shows the measurement results on demonstrators #3 (ICA-only assembly) and #2 (wave solder assembly). From these measurements following conclusions were made:

- On this set of test samples we observed a 100% contact yield (4 assemblies x 3 chips per assembly x 8 test structures per chip x 4 contacts per structure)
- The flip-chip assemblies withstand reflow soldering, ICA curing step, and even wave soldering. The $7 \times 7 \text{ mm}^2$ chips show no increase in contact resistance after reflow and ICA curing, and a 50 % increase after reflow and wave soldering. In any case, the contact resistance remains low ($< 25 \text{ milli-ohm}$) with small standard deviation.
- The large C4 chips ($15 \times 15 \text{ mm}^2$) show a larger average contact resistance and a larger standard deviation, due to the fact that a few values were larger than the normal value of $< 20 \text{ milli-ohm}$. Indeed the stress under such a large chip is larger. Also the dispensing of the

26

appropriate amount of NCA is more difficult and was not optimal in this example as corners of the chip were not yet fully underfilled.

Tables and Drawings

Chip ID	B6	B7	C4
Chip-size (mm ²)	7x7	7x7	15x15
Total # bond pads	228	184	288
I/O pitch (μm)	125	150	200
Pad distribution	Peripheral	peripheral	peripheral
Pad size (μm x μm)	75x75	75x75	100x100
Pad spacing (μm)	50	75	100
Ni/Au bump height (μm)	20	20	20

Table 1. Characteristics of dice used for flip-chip assembly.

Demonstrator #	Chip type	Contact resistance ± standard deviation(mΩ)			
		After flip chip	After reflow	After ICA assembly	After waver solder
3 (ICA assembly)	B6	15±2	17±2	16±2	
	B7	14±2	15±2	14±2	
	C4	60±156	207±351	147±200	
2 (wave solder assembly)	B6	16±6	Not measured		23±11
	B7	15±4	Not measured		22±8
	C4	50±48	Not measured		365±577

Table 2. Contact resistance measurements on mixed assembly demonstrators.

CLAIMS

1. Process for manufacturing an apparatus comprising at least one substrate (3) and at least one component (1), said component (1) being attached to and in electrical contact with said substrate (3), characterized in that said process comprises the following steps :

- providing a substrate (3), comprising on its surface a plurality of metal area's, called bonding pads or contact pads (2a),
- providing a component (1), comprising a plurality of metal area's, such as pins or bumps, also called bonding pads or contact pads (2b), said bonding pads (2b) on said component corresponding to at least one group of said bonding pads (2a) on said substrate (3),
- dispensing an isotropically conductive adhesive, i.e. ICA (6) onto said bonding pads (2a) of said substrate (3) or onto said bonding pads (2b) of said component,
- drying said ICA (6),
- applying an underfill material (5) in a predefined pattern on an area situated between said bonding pads (2a) of said substrate,
- aligning said component (1) so that said bonding pads (2b) of said component are directly above one group of bonding pads (2a) of said substrate,
- exerting a mechanical pressure on said component until a predefined distance is reached between said component (1) and said substrate (3), whereby corresponding bonding pads (2a, 2b) of said component and said substrate are both in contact with said ICA (6).
- while maintaining said mechanical pressure and said predefined distance, performing a curing step, also called a thermocompression step, to cure said ICA (6)

29

and NCA (5) thereby creating electrical contacts between said component (1) and said substrate (3).

2. Process according to claim 1, wherein the material of said substrate (3) is chosen from the group consisting of FR4, FR5, glass-epoxy materials, ceramic materials, polyimide, polyester, alumina based materials and plastic materials.

3. Process according to claim 2, wherein said component is chosen from the group consisting of a packaged semiconductor chip, a non-packaged semiconductor chip, a naked semiconductor die and a component made of a non-semiconductor material.

4. Process according to claim 3, wherein said ICA is a non-conductive epoxy comprising at least 80 weight percent of silver flakes.

5. Process according to claim 4, wherein said underfill material is a non-conducting adhesive (NCA).

6. Process according to claim 5, wherein said NCA is a non-conducting epoxy.

7. Process according to claim 6, wherein said drying step is performed in an oven at a temperature below the curing temperatures of both the ICA and the underfill material.

8. Process according to claim 7, wherein said drying step is performed at a temperature of maximum 110°C.

9. Process according to claim 8, wherein said curing step is performed with a curing temperature of maximum 130°C.

10. Process according to claim 9, wherein said step of aligning and exerting a mechanical pressure is performed in a first tool, and wherein said step of simultaneous pressing and curing is performed in a second tool, after transporting the assembly formed by said

substrate (3) and said component (1) from said first tool to said second tool.

11. Process according to claim 10, wherein said thermocompression step is performed using a thermode (8) which has a suitable size and shape to exert a uniform mechanical pressure on said component (1) and which comprises a heat source in order to bring said component and said substrate in contact with said component to the curing temperature.

12. Process according to claim 10, wherein said curing step is performed by light radiation, preferably UV radiation.

13. Process according to claim 12, wherein said radiation is performed in a separate tool.

14. Process according to claim 11, further comprising the assembling of components onto said substrate by reflow soldering and/or by wave soldering.

15. Process according to claim 12 or 13, further comprising the assembling of components onto said substrate by reflow soldering and/or by wave soldering.

16. Process according to claim 14 or 15, wherein said reflow soldering and/or said wave soldering are performed after one or several components have been assembled according to the process of any one of claims 1 to 13.

17. Apparatus manufactured by the process according to any one of the preceding claims.

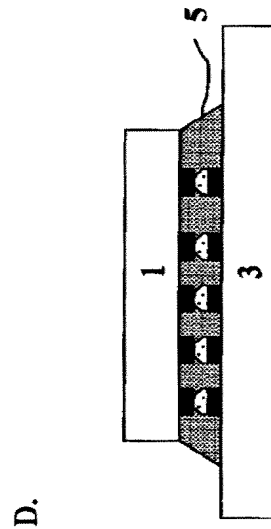
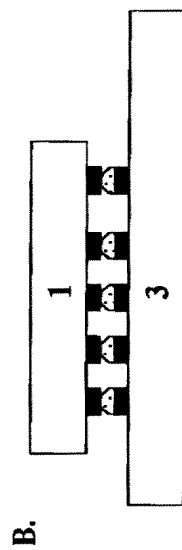
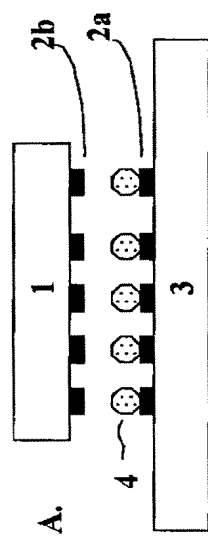


FIG. 1

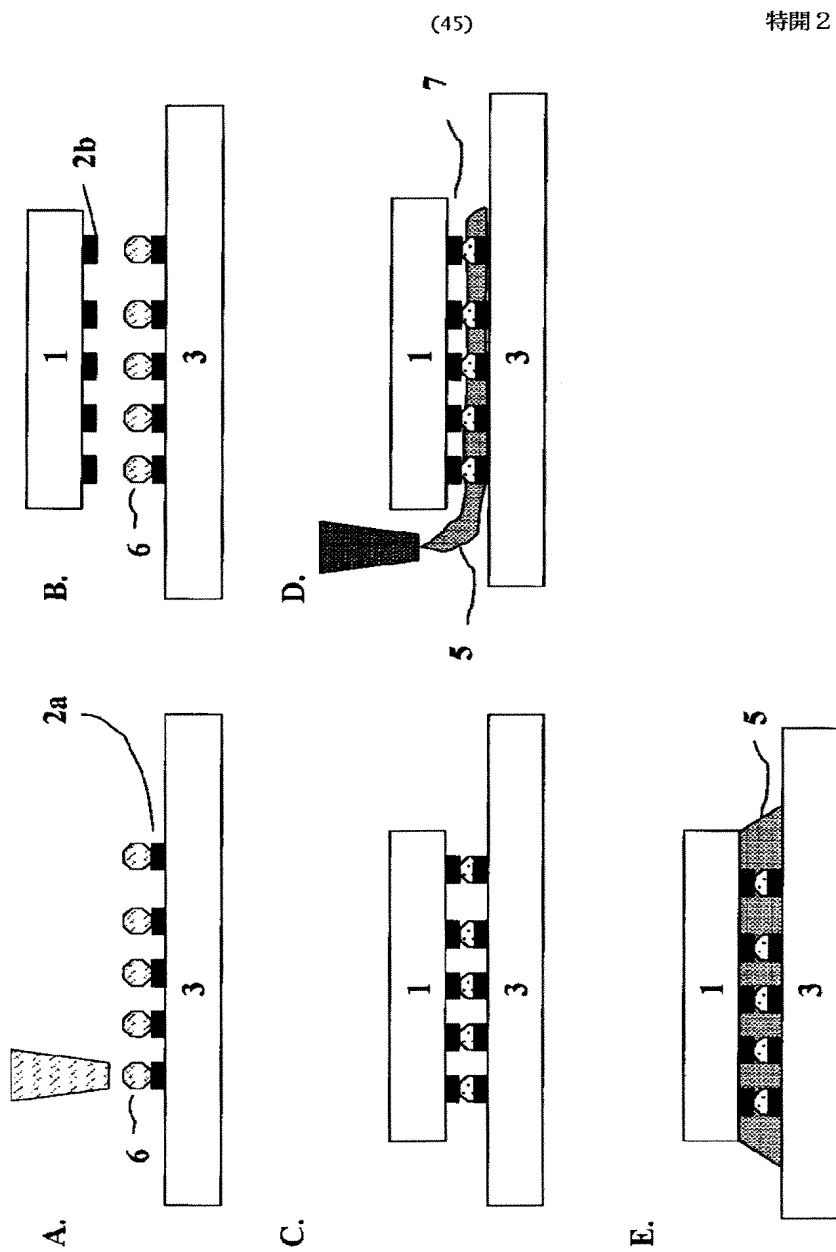


FIG. 2

(46)

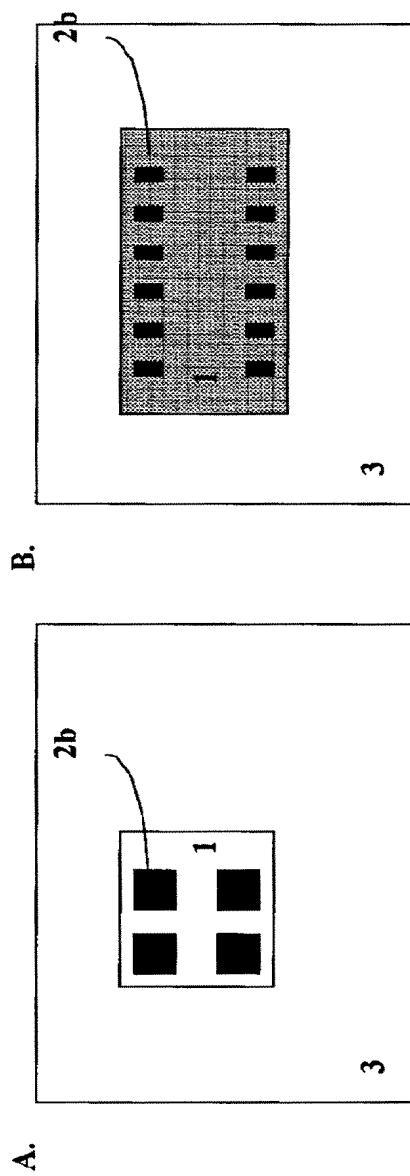


FIG. 3

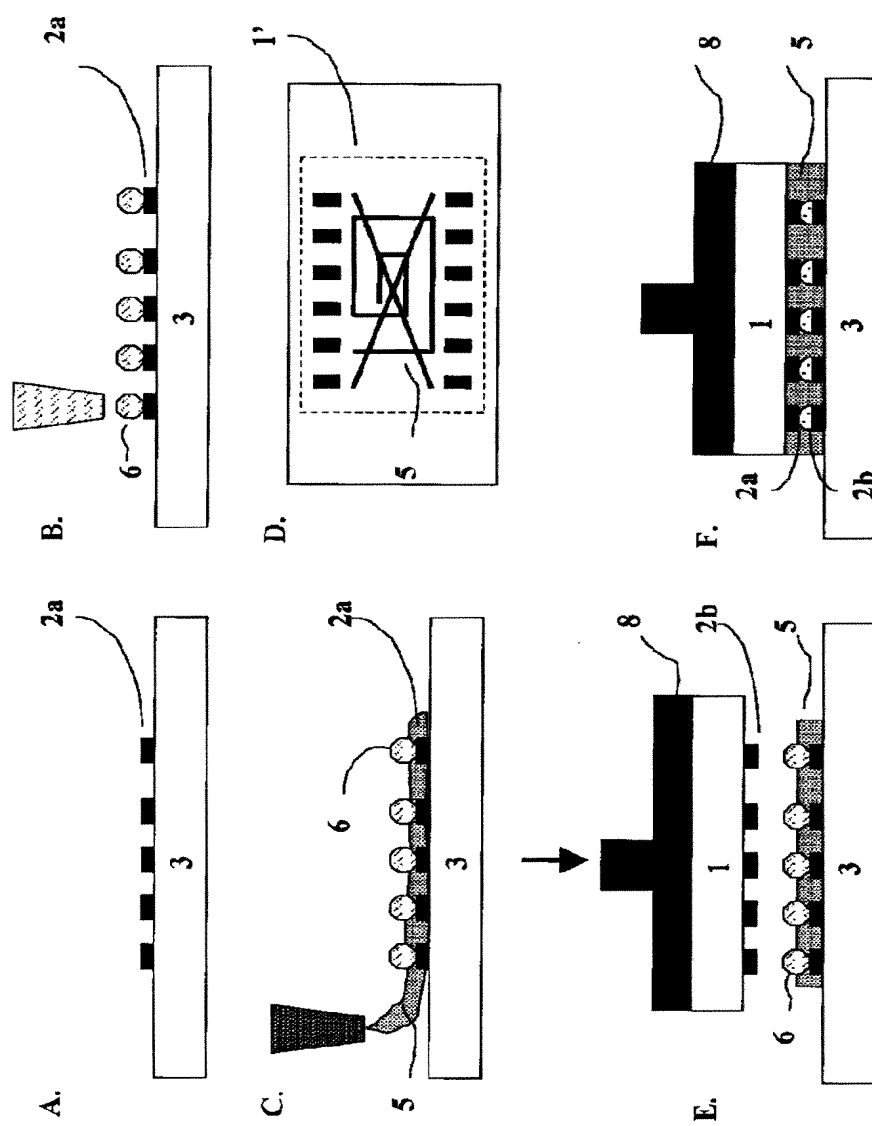


FIG. 4

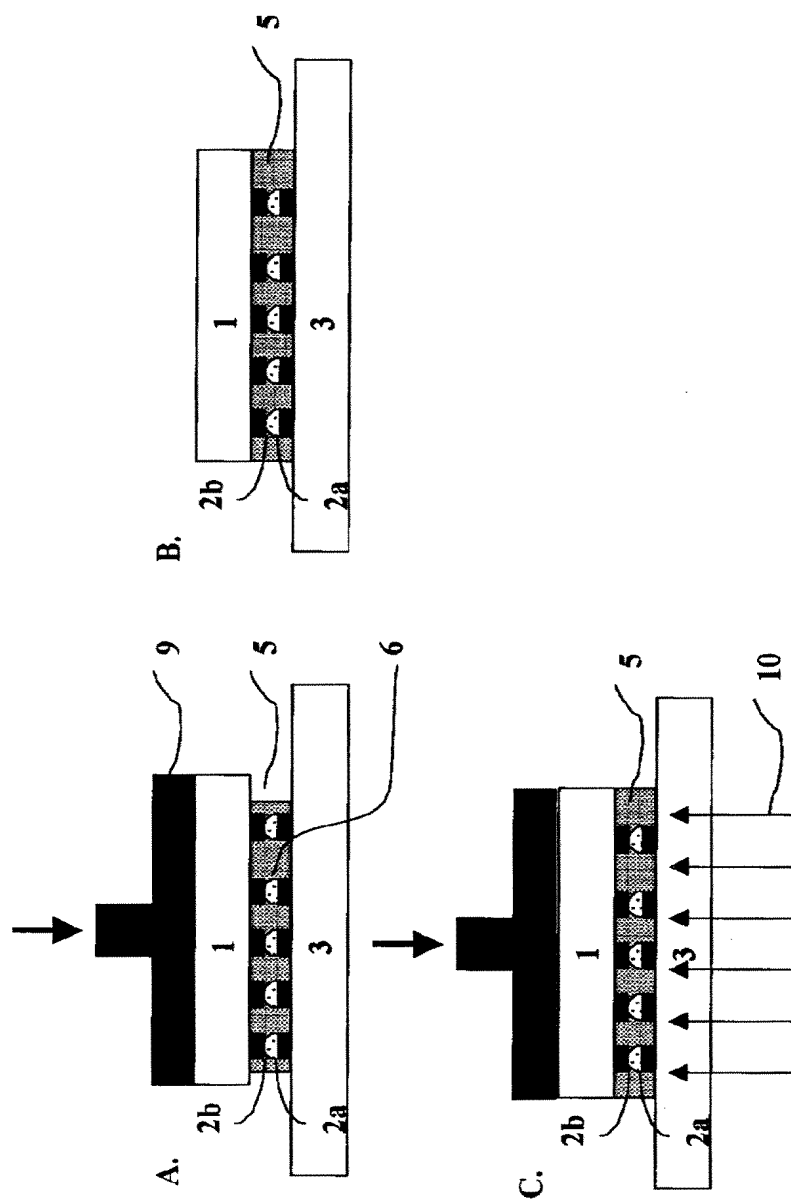


FIG. 5

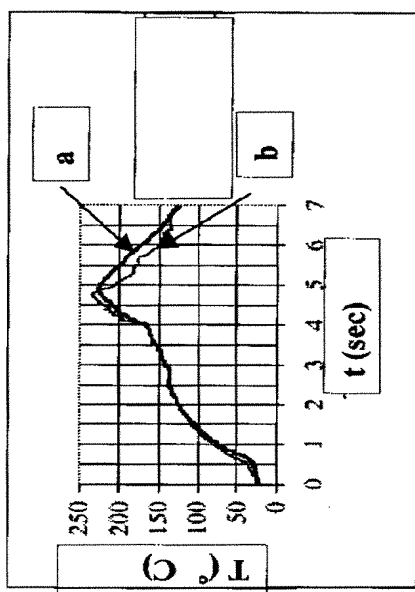


FIG. 6

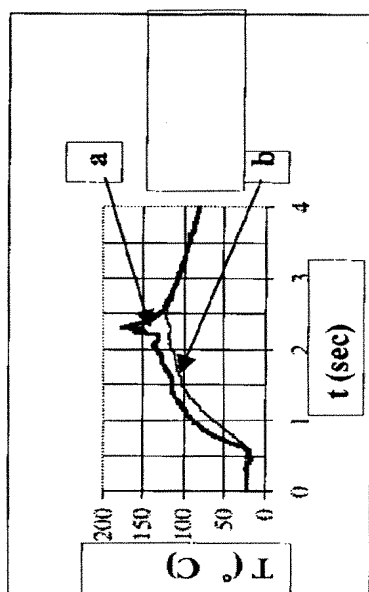
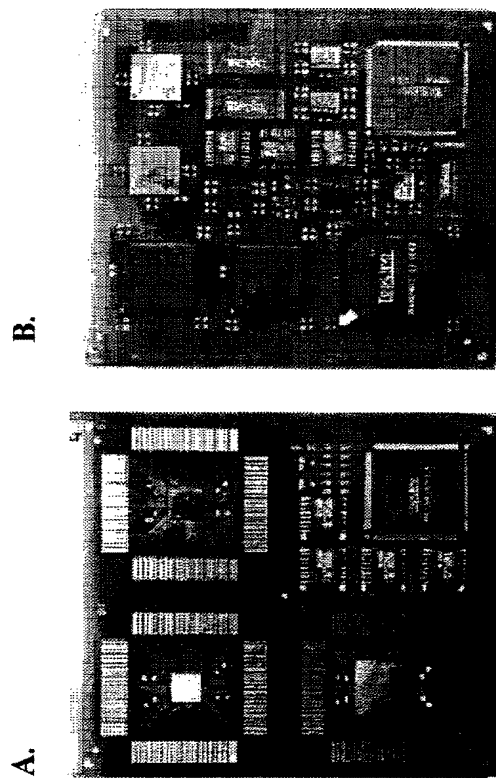


FIG. 7

FIG. 8ABSTRACTMETHOD FOR FLIP-CHIP ASSEMBLY OF SEMICONDUCTOR DEVICES
USING ADHESIVES

The present invention is related to a flip-chip-on-board (FCOB) assembly technology applicable for mounting large chips with high I/O count or small pitch, mounted on low-cost or low-grade substrates. The assembly technology uses both an isotropically conductive adhesive (ICA) and a non-conductive material (NCA) in the same assembly cycle. The thermocompression step establishes at the same time the electrical and mechanical interconnections and the curing of the adhesives

(Figure 4)